INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS

2007年版



及び構造

THE **ITRS** IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2007 Edition(国際半導体技術ロードマップ 2007年版)の全訳である。

国際半導体技術ロードマップ(以下 ITRSと表記)は、米国、日本、欧州、韓国、台湾の世界5極の専 門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情 報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行 うとともに、ITRSの編集・作成に貢献している。STRJ内には14のワーキンググループ(WG: Working Group)、2つのタスクフォース(設計タスクフォースと故障解析タスクフォース)、経済性検討小委員会が 組織され、半導体集積回路メーカー、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソ ーシアなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2007年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していた が、2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版 を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開 のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。

訳文の作成は、STRJ委員が分担してこれにあたり、JEITAのSTRJ担当事務局が全体の取りまとめ を行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。 また、訳者によって、文体が異なるところもある。ITRSの原文自体も多くの専門家による分担執筆であり、 そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字脱字などが無いよう、細心 の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、 翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS につ いてのご批判、ご意見などを事務局まで連絡いただければありがたい。

今回の訳出にあたっては、ITRSの本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さない でそのまま掲載することとした。Executive Summaryの冒頭の謝辞(Acknowledgments)に、ITRSの編集 にかかわった方々の氏名が書かれているが、ここも訳出せず、原文のままの表記とした。原文中の略語 については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を 訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマ ップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに 対応する略語を表示した。本書の巻末に用語集(Glossary)も参照されたい。原文の括弧()があってそ れを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳 |者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が 原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として 読んで意味が通りやすいように意訳している。ITRS のウェブ版ではハイパーリンクが埋め込まれている が、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、 ご理解いただけば幸いである。今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変 な作業となってしまいました。編集作業を担当いただいた、JEITA内 SRTJ 事務局の古川昇さん、恩田 豊さん、近藤美智さん、明石理香さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2008年5月 訳者一同を代表して 電子情報技術産業協会(JEITA)半導体部会 半導体技術ロードマップ専門委員会(STRJ) 委員長 石内 秀美 (株式会社 東芝)

版権について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2007 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • http://public.itrs.net

Japanese translation by the JEITA, Japan Electronics and Information Technology Industries Association under the license of the Semiconductor Industry Association

-引用する場合の注意-

原文(英語版)から引用する場合: 2007 ITRS page XX, Figure(Table) YY

この和訳から引用する場合: 2007 ITRS JEITA 和訳 XX 頁,図(表)YY

と明記してください。

問合せ先:

社団法人 電子情報技術産業協会

半導体技術ロードマップ専門委員会 事務局

Tel: 03-5275-7258 mailto: roadmap@jeita.or.jp

TABLE OF CONTENTS

プロセスインテグレーション、デバイス、および構造1
本章の概要1
ロジック1
メモリー1
信賴性2
困難な技術課題 (Difficult Challenges)2
PIDSに関する困難な技術課題の説明
ロジックに対する技術要求と解決策候補5
ロジックに対する技術要求5
ロジックに対する解決策候補
メモリーに対する技術要求と解決策候補31
DRAMに対する技術要求と解決策候補31
不揮発性メモリーに対する技術要求
信頼性の技術的要求と解決策候補54
イントロダクション
最重要な信頼性の課題
信頼性の要求
信頼性の解決策候補
横断的なTWGの課題62
モデリングとシュミュレーション62
内部での重要なITWGの議論62
新規探求デバイス62
フロントエンドプロセス62
参考文献

LIST OF FIGURES

Figure PIDS1	High-Performance Logic: Scaling of Transistor Intrinsic Speed, $1/\tau$	8
Figure PIDS2	High-Performance Logic: Jg,limit versus Simulated Gate Leakage	
	Current Density for SiON Gate Dielectric	10
Figure PIDS3	LSTP: Jg, limit versus Simulated Gate Leakage	
	Current Density for SiON Gate Dielectric	10
Figure PIDS4	LOP: Jg, limit versus Simulated Gate Leakage	
	Current Density for SiON Gate Dielectric	11
Figure PIDS5	Logic Potential Solutions	30
Figure PIDS6	Cell FET Devices	35
Figure PIDS7	Storage Node Capacitor	35
Figure PIDS8	DRAM Potential Solutions	36
Figure PIDS9	Non-volatile Memory Potential Solutions	54
Figure PIDS10	Reliability Potential Solutions	61

LIST OF TABLES

Table PIDS1a	Process Integration Difficult Challenges—Near-term Years2
Table PIDS1b	Process Integration Difficult Challenges—Long-term Years3
Table PIDS2a	High-performance Logic Technology Requirements—Near-term Years12
Table PIDS2b	High-performance Logic Technology Requirements—Long-term Years14
Table PIDS3a	Low Standby Power Technology Requirements—Near-term Years18
Table PIDS3b	Low Standby Power Technology Requirements—Long-term Years20
Table PIDS3c	Low Operating Power Technology Requirements—Near-term Years
Table PIDS3d	Low Operating Power Technology Requirements—Long-term Years24
Table PIDS4a	DRAM Technology Requirements—Near Term
Table PIDS4b	DRAM Technology Requirements—Long Term
Table PIDS5a	Non-volatile Memory Technology Requirements—Near-term Years
Table PIDS5b	Non-volatile Memory Technology Requirements—Long-term Years42
Table PIDS6	Reliability Difficult Challenges57
Table PIDS7a	Reliability Technology Requirements—Near-term Years59
Table PIDS7b	Reliability Technology Requirements—Long-term Years59

プロセスインテグレーション、デバイス、および構造

本章の概要

プロセスインテグレーション、デバイス、および構造(Process Integration, Devices, and Structure: PIDS) の章では、IC 製造プロセスフロー全般、主な IC デバイスとその構造、及び、新しい技術選択肢(オプショ ン)に関する信頼性について論じる。この章では、特に、物理的寸法、キーデバイスの性能やリークなどの 電気的パラメータ、信頼性基準といったパラメータを含む、物理的、電気的な要求値と特性について示し ている。これらは、統計的なばらつきを良く検討した上で、その中心値を示している。ここでは、生産面でキ ーとなる技術的課題を述べ、いくつかの最善の解決策候補(Potential solution)を提示する。なお、この章 では、ロジック、メモリー(DRAMと不揮発性メモリー: Non-Volatile Memory [NVM])、それらの信頼性の節 に分かれている。

ITRS の主な目的は、今までムーアの法則(Moore's Law)に沿って行ってきた CMOS 技術のスケーリ ングを維持するために キーとなる技術要求や技術課題についてその重要性を確認することと課題解決に 向けて研究と開発を促進させることである。この章では、解決策候補をリスト化して議論することで、重要技 術課題についての現状最良な施策ガイドラインを示している。しかし、解決策候補は包括的な物ではなく、 必ずしも最良の策とは限らない。そのため、ITRS の解決策候補は刺激的な内容のものであり、新しく異な った解決方法の探求にも制限を付けてはいない。

ロジック

生産されている半導体デバイスの多くはデジタルロジック関係である。この節では高性能用途および低 消費電力用途(主に携帯応用)のロジックを扱い、技術的要求の詳細と解決策候補が述べられている。キ ーワードは性能、消費電力、集積度である。キーとなるのは、今までのデバイス性能改善の傾向を維持す るために、最先端ロジックテクノロジとして MOSFET のスケーリングを維持することである。このスケーリング は、high-k ゲート絶縁膜、メタルゲート、などといった材料導入やプロセス変更、さらに長期的(long term) には、薄膜 SOI(ultra-thin body)や Fin-FET のようなマルチゲート MOSFET(multiple-gate MOSFET)など の新規構造開発を含む、大きな技術革新により産業を牽引する。これらの革新技術は、早い時期に導入さ れると予想されている。ゆえに、導入まで時間的に十分ではなく、デバイス製造時には技術の理解、モデリ ング、作り方について、産業界にとって大きな論点になると予想される。

メモリー

半導体デバイス生産高のほとんどをロジックとメモリーが占めている。この節で扱うメモリーは、DRAM、 不揮発性メモリー(NVM)である。メモリー技術を牽引するのは汎用メモリーであるため、これらを中心に論 じている。混載メモリーについては、汎用メモリーに少し遅れてではあるが、同じような傾向で登場すると予 想している。なお、DRAMとNVMについては、技術要求と解決策候補を詳細に述べる。

この章で述べる NVM とは、何度も書き込み読み込みが可能なデバイスに限っている。読み出し専用メ モリー(Read Only Memory: ROM)や 1回だけ書き込み可能なメモリー(One-time-Programmable: OTP)は 含まない。NMV の主流は、NAND と NOR の Flash メモリーである。この章では、スケーリングを重要な論 点として、大部分をスケーリングに関することに割いている。一方、強磁性体 RAM (ferroelectric RAM FeRAM)や磁気メモリー(Magnetic RAM MRAM)、相変化メモリー(phase shift RAM)などを含む、電荷 を用いないタイプの NVM についても候補として考えている。DRAM タイプのメモリーでは、特に極低リー クを防ぐことなど微細化の難しさが増大していることが重要な論点となっている。

信頼性

プロセスインテグレーションにおいて信頼性は重要な項目である。新規世代のデバイスでは、新材料と 新プロセスの導入を、これらの情報収集とデータベースの構築、そして、新しい故障モードや欠陥のモデ ル化を行うよりも早く、予想を越える速さで必要としている。プロセスインテグレーションは技術が習熟する 前に完成する必要があるためで、これまでの信頼性のレベルを維持することは難しくなってくる。信頼性が 十分でなければ、性能、コスト、市場への製品投入時期などで不利益をもたらす。これらは、テスト、ウエハ ーレベルの信頼性(WLR)においても困難な技術課題(Difficult Challenges)として検討されている。実装の 信頼性は、新材料、新規プロセス、形状、狭ピッチのリード、ボンディング、耐環境性、接着性、顧客の製 造能力といった問題に対して特に弱い。

困難な技術課題 (DIFFICULT CHALLENGES)

Table PIDS1a

Process Integration Difficult Challenges—Near-term Years

Difficult Challenges ≥ 22 nm	Summary of Issues
1. Scaling of MOSFETs to the 22 nm technology generation	Scaling planar bulk CMOS will face significant challenges due to the high channel doping required, band-to-band tunneling across the junction and gate-induced drain leakage (GIDL), random doping variations, and difficulty in adequately controlling short channel effects. Also, keeping parasitics, such as series source/drain resistance with very shallow extensions and fringing capacitance, within tolerable limits will be significant issues.
	Implementation into manufacturing of new structures such as ultra-thin body fully depleted silicon-on-insulator (SOI) and multiple-gate (e.g., FinFET) MOSFETs is expected at some point. This implementation will be challenging, with numerous new and difficult issues. A particularly challenging issue is the control of the thickness and its variability for these ultra-thin MOSFETs, as well as control of parasitic series source/drain resistance for very thin regions.
2. With scaling, difficulties in inducing adequate strain for enhanced mobility.	With scaling, it is critically important to maintain (or even increase) the current significantly enhanced CMOS channel mobility attained by applying strain to the channel. However, the strain due to current process-induced strain techniques tends to decrease with scaling.
3. Timely assurance for the reliability of multiple and rapid material, process, and structural changes	 Multiple major changes are projected over the next seven years, such as.: Material: high-k gate dielectric, metal gate electrodes, lead-free solder Process: elevated S/D (selective epi) and advanced annealing and doping techniques Structure: ultra-thin body (UTB) fully depleted (FD) SOI, multiple-gate MOSFETs, multi- chip package modules It will be an important challenge to ensure the reliability of all these new materials, processes, and structures in a timely manner.
4. Scaling of DRAM and SRAM to the 22 nm technology generation	 DRAM main issues with scaling—adequate storage capacitance for devices with reduced feature size, including difficulties in implementing high-κ storage dielectrics; access device design; holding the overall leakage to acceptably low levels; and deploying low sheet resistance materials for bit and word lines to ensure desired speed for scaled DRAMs. SRAM—Difficulties with maintaining adequate noise margin and controlling key instabilities and soft error rate with scaling. Also, difficult lithography and etch issues with scaling.
5. Scaling high-density non-volatile memory to the 22 nm technology generation	 Flash—Non-scalability of tunnel dielectric and interpoly dielectric. Dielectric material properties and dimensional control are key issues. FeRAM—Continued scaling of stack capacitor is quite challenging. Eventually, continued scaling in 1T1C configuration. Sensitivity to IC processing temperatures and conditions. MRAM—Magnetic material properties and dimensional control. Sensitivity to IC
	processing temperatures and conditions

Table PIDS1b

Process Integration Difficult Challenges—Long-term Years

Difficult Challenges<22 nm	Summary of Issues			
6. Implementation of advanced, non-classical CMOS with enhanced drive current and acceptable control of short channel effects for highly scaled	Advanced non-classical CMOS (e.g., multiple-gate MOSFETs) with ultra-thin, lightly doped body will be needed to scale MOSFETs to 10 nm gate length and below effectively. Control of parasitic resistance and capacitance will be critical.			
MOSFETs	To attain adequate drive current for the highly scaled MOSFETs, quasi-ballistic operation with enhanced thermal velocity and injection at the source end appears to be needed. Eventually, nanowires, carbon nanotubes, or other high transport channel materials (e.g., germanium or III-V thin channels on silicon) may be needed.			
7. Dealing with fluctuations and statistical process variations in sub-11 nm gate length MOSFETs	Fundamental issues of statistical fluctuations for sub-10 nm gate length MOSFETs are not completely understood, including the impact of quantum effects, line edge roughness, and width variation.			
8. Identifying, selecting, and implementing new	Dense, fast, low operating voltage non-volatile memory will become highly desirable			
memory structures	Increasing difficulty is expected in scaling DRAMs, especially scaling down the dielectric equivalent oxide thickness and attaining the very low leakage currents and power dissipation that will be required.			
	All of the existing forms of nonvolatile memory face limitations based on material properties. Success will hinge on finding and developing alternative materials and/or development of alternative emerging technologies.			
	See Emerging Research Devices section for more detail.			
9. Identifying, selecting, and implementing novel interconnect schemes	Eventually, it is projected that the performance of copper/low- κ interconnect will become inadequate to meet the speed and power dissipation goals of highly scaled ICs.			
	Solutions (optical, microwave/RF, etc.) are currently unclear.			
	For detail, refer to ITRS Interconnect chapter.			
10. Eventually, identification, selection, and	Will drive major changes in process, materials, device physics, design, etc.			
implementation of advanced, non-CMOS devices and architectures for advanced information	Performance, power dissipation, etc., of non-CMOS devices need to extend well beyond CMOS limits.			
processing	Non-CMOS devices need to integrate physically or functionally into a CMOS platform. Such integration may be difficult.			
	See Emerging Research Devices sections for more discussion and detail.			

PIDS に関する困難な技術課題の説明

[1] 22nm 世代までの MOSFET のスケーリング

プレーナーバルク MOSFET のスケーリングにおいては、短チャネル効果抑制としきい値を適正にする ために、チャネル濃度を大幅に増大する必要がある。高チャネル濃度の結果、正孔と電子の移動度は劣 化、バンド間トンネルによる接合リークの増大、GIDL(Gate Induced Drain Leakage)の増大などが誘起され る。さらに、微細な MOSFET のチャネル内の全不純物数が少なくなるために、不純物の数と位置の統計 的なゆらぎが急増する。この結果、しきい値の統計的なばらつきは急増する。微細 MOSFET におけるもう 一つの技術課題は、非常に浅いソース/ドレイン接合におけるソース/ドレイン抵抗の低減である。

プレーナーバルク MOSFET のスケーリング遂行のため、FD-SOI MOSFET やマルチゲート MOSFET、 特にダブルゲート(DG) MOSFET(FinFETS)などの新構造デバイスが結果的に使用されることが期待され ている。これらのデバイスは通常はチャネル濃度が低く、しきい値はメタルゲートの仕事関数で制御される ため、プレーナーバルク MOSFET で問題となる高チャネル濃度による統計的な不純物ゆらぎを回避でき る。しかし、いくつかの新しい課題も生じる。これらの課題で最も困難なものは、SOI 膜厚の制御と膜厚ばら つきの抑制、メタルゲートの仕事関数の制御である。プレーナーバルク MOSFET の場合と同様、寄生のソ ース/ドレイン抵抗の低減も困難な課題である。

スケーリングに伴うプレーナーバルク MOSFET と新構造 MOSFET に共通課題は、ゲート長に対しての ライン端の粗さ(Line Edge Roughness: LER)の割合の増加である。 高性能ロジックにおいて、スケーリングに伴うチップ集積度の増大とトランジスタリーク電流の増大のため、チップの静止時の消費電力低減と性能目標達成の両立が困難になる。性能と消費電力のターゲットに向けて、回路設計やアーキテクチャーの革新と、しきい値の異なるトランジスタの使用(マルチ Vt)などが必要となる。クリティカルパスには低いしきい値のトランジスタを、残りの部分には高いしきい値のトランジスタを使い、性能と消費電力の最適化を行う必要がある。低消費電力ロジック向けには、スケーリングと静的な消費電力の制御が必須である。このため、トランジスタのリーク電流は高性能用途向けと比べて非常に低くなっている。マルチ Vt だけでなく、高性能用途と同様に、回路とアーキテクチャーの革新が必要である。

[2] スケーリングに伴う移動度改善のための十分な歪導入の難しさ

現在、チャネルに歪を入れチャネル移動度を向上させることが、MOSFET の性能要求を満たすために 大きく貢献している。微細化では、デバイス性能の要求値を満たすに CMOS の移動度向上を続けていくこ と(さらに改善を図ること)が大変重要である。しかしながら、プロセスで導入される歪は、微細化とともに小 さくなってきており、微細構造でも歪を維持できる技術が必要である。(詳細については、Logic Potensial Solution 節を参照)

[3]各種の材料、プロセス、構造の急激な変化に対応した信頼性保障

MOSFET のスケーリングとデバイス性能、リーク電流、などの要求値の達成には、High-k ゲート絶縁膜、 メタルゲート電極、エレベーテッドソース/ドレイン、新アニール技術、新ドーピング技術、新 low-k 材料、鉛 フリーはんだ、マルチチップパッケージなどの、多くの大幅なプロセス、材料の革新が、少なくとも 10 年以 内に実用化されることが必要とされている。また、FD-SOI MOSFET に始まって、マルチゲート MOSFET に 進む新しい MOSFET 構造が実用化されることが予想されている。これら全ての革新技術に対し、信頼性 を理解しモデリングすることは、重要であり、その結果これらの信頼性がタイムリーに確認されることは難しく なると予想される。

[4] 22nm 世代に向けたDRAM とSRAM のスケーリング

DRAMの重要な課題は、セルが縮小されても十分な蓄積容量の確保のための、High-k 絶縁膜と MIM 構造の実用化である。十分なリテンション時間を確保するために、絶縁膜のリーク電流や接合リーク電流、 アクセストランジスタのサブスレショルドリーク電流の抑制が重要である。低リーク電流の要求はアクセストラ ンジスタの要求性能達成を困難にさせる。最後に、ワード線とビット線用の低シート抵抗材料は、微細な DRAMの要求速度性能実現に非常に重要である。

SRAM については、スケーリングにおけるノイズマージンの確保と、ホットエレクトロン起因や NBTI(Nagative Bias Temperature Instability)などの不安定性の抑制の両立が課題である。また、微細化に おいてのリソグラフィとエッチングの課題もある。SRAM は通常、高速動作の混載メモリーとして使用される ため、前述の課題を解決することは、システム性能向上に必須である。

[5] 高密度不揮発性メモリ(NVM)の22nm 世代に向けた微細化

不揮発性メモリに共通な課題は二つある。一つは、それぞれの NVM セルはいくつかの点で CMOS 技術と異なる。そして、このためにメモリセルの微細化は幾つかの課題がある。これらの課題は NVM ごとに異なるし、独特の課題はそれぞれの NVM のテーブルに記載されている。二つ目の課題は、セットとリセットにおける通常の動作が、材料にストレスを与え、セル特性の劣化に繋がる可能性がある。劣化は通常、真性のデバイス特性に起因するというより、欠陥に関連したメカニズムで生じる。エンデュランスとリテンションンの要求は、メモリの予想される能力と安全な使用範囲のガイドラインをユーザーに与える。この二つのパラメータを長期的に予測することは非常に困難である。故障解析は困難で、リアルタイムの試験も難しい。

[6] 電流駆動能力が大きく、かつ短チャネル効果が抑制されたノンクラシカル CMOS の実用化

将来においてトランジスタのゲート長が 10nm 以下となる時、低濃度チャネルの FD-SOI MOSFET やマ ルチゲート MOSFET は効率的に微細化でき、短チャネル効果抑制にも期待されている。他の材料的ある いはプロセスの解決策は、High-k ゲート絶縁膜、メタルゲート電極、歪シリコンチャネル、エレベーテッドソ ース/ドレインなどで、ノンクラシカル CMOS に導入されることが期待されている。ゲート長 10nm 以下では、 FD-SOI のボディ膜厚は 10nm 以下が必要である。この時の量子効果と表面散乱効果の影響は十分解明 されていない。これらの非常に微細な MOSFET は、ソース端での注入速度の増大と短チャネル化で、準 バリスティック輸送が起こっている。このため、例えばゲルマニウムやIII-V族のチャネルをシリコン上に作っ たり、カーボンナノチューブやナノワイヤーなどの輸送効率の高いチャネル材料が使われるかもしれない。

[7] サブ11nm のゲート長の MOSFET における、ゆらぎと統計的プロセスばらつきの取り扱い

量子効果、LER、極薄 SOI 膜厚のばらつきなど、統計的なばらつきの影響は十分には理解されていない。

[8] 新メモリー構造の理解、選択、量産化

長期においては DRAM と NVM のスケーリングの難しさが、困難な課題の表に記載されているように、 増大する。高密度、高速、そして新しい不揮発性メモリー構造への必要性が、消費電力低減のために、増 している。そのような不揮発性メモリーの量産は大きなチャレンジである。

[9] 優れた配線構造の選択と量産化

銅の抵抗率は、線幅が 100nm 以下となると、徐々に増大する。また、層間絶縁膜の比誘電率は 1-1.5 が限界である。その時点で、更なる配線性能向上のために、新規のアーキテクチャーや材料による解決策 が要求される。

[10] 最終的には、情報処理の進展のための先端 CMOS、CMOS 以外のデバイスやアーキテクチャーの 同定、選択、量産化

最終的には、ロードマップの終わりあるいはその後に向けて、MOSFET のスケーリングは徐々に効果が 弱くなるか、高コストになり、性能、消費電力、集積度などを向上していくためには、非 CMOS による解決 策が必要になる。そのような解決策がそれまでに開発され量産化されている高性能、低コスト、高密度の CMOS ロジック技術に、機能的あるいは物理的にインテグレーションされることが期待される。

ロジックに対する技術要求と解決策候補

ロジックに対する技術要求

技術要求の表は、高性能版と低消費電力版デジタル IC の MOSFET の要求に対応したものである。高 性能版のロジックとは、デスクトップやサーバー用などのマイクロプロセッサユニット(MPU)などの非常に複 雑で高性能であるが、大きな消費電力のチップを想定している。低消費電力版のロジックとは、許容消費 電力、即ち許容消費電流が電池の寿命で制限される携帯システムを想定している。低消費電力版のロジ ックは、低動作電力ロジック(Low Operation Power, LOP)と低待機電力ロジック(Low Standby Power, LSTP)の二つに大別される。低動作電力用チップは、大容量電池を有したノート型コンピュータのような、 比較的高性能なモバイル用途であり、動作時の消費電力削減に注力している。低待機電力用チップは、 小容量の電池を有する携帯電話のような、それほど性能を要求されない民生用品に使用され、実現可能 な最も小さい待機時の消費電力、すなわち実現可能な最も小さいリーク電流に重点が置かれている。高性 能IC用のトランジスタは、高性能ロジックのために物理的なゲート長(および、トランジスタに係わる他のパ ラメータも)が最も急速にケーリングされることによって、最も高い性能を示すが、リーク電流も最も多い。低 動作電力チップにおけるトランジスタは、幾分性能が低いが、十分に小さいリーク電流を実現する。一方、 低待機電力用のトランジスタは、最も性能が低いが、最も少ないリーク電流を実現する設定となる。低動作 電力トランジスタにおいて、高性能トランジスタのゲート長からのタイミング遅れは2年であり、歴史的な動 向や携帯用途における低リーク電流の要求を反映している。低待機電力トランジスタにおいては、高性能 トランジスタのゲート長からのタイミング遅れは4年であり、超低リーク電流の要求を反映している。

ロジックの技術要求のテーブルを作成するために、MASTAR MOSFET というモデリングソフトウェアが 使用された。T. Skotnicki, F. Boeuf 等によって開発された MASTAR¹²³には、文献データを用いて確かめ られた詳細な解析 MOSFET モデルが使用されている。技術要求表の作成において、MASTAR は技術的 なトレードオフを分析するのに非常に適している。モデルから導出される一つの重要なパラメータは、イント リンシックな MOSFET の遅延時間 τ =CV/Iである。ここで、C は寄生して発生するゲートオーバーラップや フリンジ容量を含むトランジスタ幅 1 ミクロンあたりのゲート容量であり、V は電源電圧(Vdd)、Iはチャネル 幅1ミクロン当りの飽和電流(Idsat)である。τ は、イントリンシックな MOSFET の遅延時間に対する良い指 標であり、よって1/τ は、トランジスタのイントリンシックな最大スイッチング周波数の指標となり、トランジスタ 性能の主要な指標となる。(最近、別の遅延時間の評価尺度として、線形領域のドレイン電流との加重平 均を取ったドレイン電流 I_{eff}を使った CV/I_{eff}が開発され、CV/Id.sat より、幾分正確と報告されていることに 注意すべきである。⁴キーとなるスケーリングトレンドを捕捉し、これまでのロードマップとの整合性を維持す る上で、我々は後者の指標が十分正確であるため、これを使い続けている)

技術要求の表のパラメータ値を決定するために、リーク電流(低消費電力版ロジック)や 1/τ(高性能版 ロジック)など重要な出力パラメータの目標値が設定されている。入力パラメータは、スケーリング則やエン ジニアリング的な判断、デバイスの物理的な原則に則って仮設定される。MASTARを用いて、目標値を達 成するまで入力パラメータをスプレッドシート上で種々変えて計算を繰り返し、最終的な入力パラメータの 値を設定した。MASTAR プログラムおよびロジックの技術要求の表を作るのに使用された詳細の MASTARファイルは ITRS のウェブサイト http://www.itrs.net で確認できる。

技術要求の表には、いくつかのパラレルパスが導かれている。プレーナー型バルク CMOS をできるだ け先まで延長する一方で、極薄膜ボディ完全空乏型(UTB FD)Silicon-on-Insulator (SOI) MOSFET や FinFET のようなマルチゲート、特にダブルゲート(DG) MOSFET といった先駆的な CMOS 技術が 2010 年 以降導入され、プレーナー型バルク CMOS と平行して進む。スケーリングが進むにしたがって、チャネル 不純物の高濃度化や短チャネル効果を十分に抑制できなくなることなど、プレーナーバルク MOSFET で は多くの課題が生じる(さらなる詳細は、困難な挑戦の節の項目1を参照されたい)。先駆的な CMOS 技 術はバルクプレーナーよりもスケーリングしやすいため、後のロードマップで使用される。事実、マルチゲー ト MOSFET は UTB FD MOSFET よりもスケーリング性に優れているため、究極の MOSFET はマルチゲー トであると予測されている。産業界全体として、プレーナーバルクをいつまで使い続けるか、その後、先駆 的な CMOS 技術に移行するタイミングはそれぞれの会社によって異なるので、どの道筋を通るかはその会 社の要求や計画、技術力に依存する。このロードマップのパラレルパスはそれを反映していることを意味し ている。各テーブルの予想パラメータ値セットは、ある特別なスケーリングシナリオを反映してこま要な出力 パラメータが目標値に達するように設定されている。しかし、調整することのできる入力パラメータが数多く あり、また出力パラメータがこれら多くの入力パラメータの複雑な関数になっているため、主要な出力パラメ ータの目標値を達成する他の入力パラメータの組合せ(すなわち、異なるスケーリングシナリオに従った) が存在しうる。例えばあるシナリオとして、ゲートリーク電流が急激に増大するような EOT を急速にスケーリ ングする場合、許容範囲にゲートリーク電流を抑えるために high-k ゲート絶縁膜の早期の導入が必要に なる。他のスケーリングシナリオでは EOT をゆっくりとスケーリングさせることができる。この場合、ゲートリー ク電流はゆっくり増加し、結果として high-k ゲート絶縁膜の導入を遅らせることができる。しかし、ゲート長 やチャネルドーピング、モビリティーエンハンスメントなどの他の幾つかのパラメータは、EOT のゆっくりとし たスケーリングを補償し、同じ出力パラメータを達成するために、より早くスケーリングさせなければならない。 よって、これらのテーブルのスケーリングシナリオは、業界に良い指針を設定するが、各技術ノードで各メ ーカの採用する実際の道筋は相当食い違うことになると考えられる。

高速トランジスタの表 (PIDS2a とb) において、作成の基準になるのは MOSFET のイントリンシックな性 能指標である 1/r である。1/r の目標は、過去の性能向上率に整合する年率平均 17%の向上である。チッ プのクロックスピードを望ましい改善率で上昇させるためには、この目標値を達成しなければならない。表 のその他のパラメータは、上記したように、この目標値を達成できるように設定されている。表から目標に合 ったいくつかの重要な結果が読み取れる。NMOSFETの飽和電流 Id,sat は、1/rの 17%/年の増大を維持 するために、ロードマップの設定期間を通してかなり着実に増加していく。ソース/ドレイン間のサブスレッシ ョルドリーク電流 Isd.leak は、2007 年において 0.34uA/um と相対的に大きく、さらにこのリーク電流は年々 増加する傾向にありチップの消費電力において重要な意味を持つようになる(下記で議論を行う)。図 PIDS1 は、高性能版ロジックについての1/r のスケーリングを示す。幾つかの重要な例外を除き、全体とし て年率 17%向上の目標は達成されている。プレーナバルクについては、2009 年以降、年17%改善のカ ーブから大きく落ち込んでいる。これは主として困難な挑戦の節の項目1で議論したスケーリングの困難さ に拠っている(スケーリングの困難さはMASTERを使ったシミュレーションでも示されている。即ち、必要 なチャネルドーピングが年毎に急激に増加し、2012年には~8e18cm-3と非常に高くなる)。UTB FD SOI についも、程度はバルク程でないが、2013 年以後、年17%の改善カーブから同様に落ち込む。DGデバ イスについては 2019 年以降、落ち込む。これら全てのケースでスケーリングに伴い短チャネル効果を制御 する難しさは、リーク電流を許容範囲に維持するため、トランジスタ性能の向上を低減させることに繋がる。 LSTPとLOPの1/τのスケーリングのカーブも、その性能向上の増加率は年13-14%であるが、状況は同様 である。



Figure PIDS1 High-Performance Logic: Scaling of Transistor Intrinsic Speed, $1/\tau$

IC 企業は、チップ全体の性能改善のために並列化を展開するためのマルチコアやマルチしきい値電 圧化のようなアーキテクチャー技術を用いて、チップのパワー密度とトータルのチップ消費電力を扱いやす いレベルに維持しつつチップの機能性を高める手法を導入し始めた。チップ上に複数の CPU を搭載する ことにより、チップ全体の性能を高めつつ、より低いクロック周波数でコアを動作させることができる。このよ うに、システム性能を最適化するために、トランジスタ単体のスピードよりも、チップ上により多くのコアを搭 載することのできる集積度に重きを置く傾向がシステムデザイナーに見られる。さらに、システムデザイナー は finite-cache 効果によるシステム性能ペナルティーを最小限にするためにより、より多くのキャッシュメモリ をプロセッサチップに入れる傾向にある。もう一つの高性能システム技術トレンドとして、より高い階層のキ ャッシュメモリとして使用するために SRAM メモリセルよりもはるかに小さい DRAM セルをマイクロプロセッ サチップに混載する技術が挙げられる。スケーリングに従って上記の技術は大いに利用され、より効果的 になるであろう。ロードマップの次の版では、デザインと PIDS のワーキンググループは、将来技術世代の チップ性能改善において、このアーキテクチャーベースの性能スケーリングが、特に、並列化アーキテクチ ャーが年率 17%という従来のトランジスタ性能スケーリング目標を緩めることを示唆するのかどうか十分に 考慮するであろう。

高速動作チップにおいては、微細化に伴うトランジスタのサブスレショルド電流は急激に増大するが、 静的な消費電力を許容値以下に保つ必要がある。一つの一般的な解決策は、チップ内に低 Vt の高速ト ランジスタと高 Vt で、時には、ゲート酸化膜が厚い低リークトランジスタの、二種類以上のトランジスタを搭 載することである。低リークトランジスタは、高速トランジスタと比べて飽和電流は小さく、低いデバイス性能 (デバイスの真性遅延時間 t が大きい)である。高速トランジスタは、クリティカルパスにだけ使用され、低リ ークトランジスタはその他の全ての所で使われる。低リークトランジスタの積極的な使用は、チップ性能をそ れほど犠牲にせずに静的な消費電力を大幅に低減させる。 静的な消費電力を縮小する電流の回路や アーキテクチャーとして、パスゲートを用いて電源とグランド間のパスを電気的に遮断するものや、回路ブロ ックのパワーを減らすテクニックなどがある。他の方法として、ウエルにバイアスを印加して、動的にしきい 値電圧の制御を行う方法がある。よって、スケーリングされた高性能 IC の現実的な姿は、静的な消費電力 に関して複数のしきい値を持つトランジスタを使用した、デバイス/回路/アーキテクチャーを活用するという ものである。技術要求の表においては、高性能トランジスタが技術を牽引するので、このトランジスタだけを 扱っている。

低消費電力チップにおいて注目される出力パラメータは、ソースバレイン間のサブスレッショルドリーク 電流(Isd.leak)であり、低待機電力トランジスタ(LSTP)では先に述べたように特にこの値は小さい。LSTP の Isd, leak の値は 30pA/um が一定に維持され、一方 2007 年の低動作電力トランジスタ(LOP)の Isd, leak の値は~9nA/um であり、スケーリングに従って徐々に増加する。他のすべてのパラメータの値は、上記の Isd,leak ターゲットに整合するように選ばれている。それにもかかわらず、結果としてのデバイス性能(1/r) の平均的な改善率は、LOP、LSTP ともにおよそ年率 13-14%である。リーク電流要求に合わせるため、ロ ーパワーロジックのゲート長のスケーリングは高性能ロジックに比べ遅くなっていることに注意されたい(詳 しくはロジックの表を参照)。LSTP ロジックにおける重要な課題の一つは、電源電圧 Vdd のスケーリングが 遅いことである。LSTP データを示す Table PIDS3aとbを参照のこと。この遅いスケーリングはサブスレショ ルドリーク電流の厳しい要求を満たすために、Vt のスケーリングを比較的抑制したためである。適度な性 能を得るためにはゲートオーバードライブ(Vdd-Vt)は比較的大きな値を維持しなければらないため、Vdd は Vt のゆっくりとしたスケーリングに従わなければならない。動的な消費電力は電源電圧の2乗に比例す るため、低消費電力トランジスタの消費電力は高速用に比べて緩やかにスケーリングされるが、このタイプ の活性化の度合いは相対的に小さいと期待されるので、非常に小さいリーク電流によって静的な消費電 力が下げられることの効果の方が大きい。LSTP ロジックと対比して、LOP ロジック(LOP の技術要求の Table PIDS3c と d を参照のこと)用の電源電圧(Vdd)は比較的速くスケーリングし、動作時の消費電力 (Vdd の二乗に比例する動的な消費電力)を最小化することに重点が置かれる。しかし、Isd,leak は LSTP のものより大きく、飽和領域でのしきい値は十分に低い設定であり、相応のゲートオーバードライブ(Vdd-Vt)が得られる。

ローパワーチップに関しては、主要な目標は高性能チップと比べると性能は低くなるトレイドオフがある が、バッテリー寿命を延命するため消費電力を低減することである。この全体的な目標は、高速ロジックで 使用されているのと同様に Isd,leak の低いトランジスタを使用する方法、すなわち同一チップ上に多様なト ランジスタ、および待機時モードでのチップのリーク電流を低減するためのパワーマネジメントを含む回路 およびアーキテクチャー技術、を通じて達成される。究極的には動的なしきい値電圧制御が適しているか もしれない。LSTP のテーブルで選択された Isd,leak のノミナルなターゲット値は非常に小さく、動作時での 低リーク電流を強調するトランジスタ設計を反映している。それとは対照的に、高い性能を得るために極め て高い Isd,leak を有するトランジスタ設計を用いて高いオン電流を得るとともに、チップ全体の電力消費を 下げるための回路やアーキテクチャー技術により強く依存する会社もある。最後に LOP ロジックでは、上 述したように、動作電力を許容限界以下に低減するために、電源電圧を比較的早く低電圧化するであろう。

スケーリングによって酸窒化膜の膜厚がますます薄くなるにつれて、ゲートリーク電流、およびゲートリ ーク電流密度の制限にゲート酸窒化膜が適合するかが、重要な課題となる(Table PIDS 2a、bとPIDS 3a から d 及び注釈[2]と[5]を参照のこと)。ダイレクトトンネリングによるゲートリーク電流は EOT の薄膜化によ って指数関数的に増加するため、ゲートリーク電流は重要な課題となる。FEP-TWG とノースカロライナ州 立大学において、酸化膜を通した直接トンネリング電流密度の詳細なシミュレーションが行われ、技術要求 の表でスケーリングされた Vdd と EOT を用いてトンネルによるゲートリーク電流密度の予想値が計算され た。LSTP と LOP、高速トランジスタにおいて、これらの計算されたゲートリーク電流密度と、システムからの 要求であるゲートリーク電流密度の制約(Jg,limit)を比較した。結果を Figuer PIDS2 から PIDS4 に示す。こ こで、Jg,simulated はシミュレーションより求められたゲートリーク電流密度である。LSTP と高性能版のトラ ンジスタにおいて、二つの Jg は、2008 年の直前に交差する。よって、2008 年以降、直接トンネルのために 酸窒化膜ではリーク電流の制約をクリアできない。さらに、2008 年以降 Jg,simulated の曲線は、Jg,limit の 曲線から急速に乖離しており、もし 2008 年以降にゲート絶縁膜として酸窒化膜を使い続けるとゲートリーク は急速に規格から外れること意味している。このため、High-k ゲート絶縁膜(ある範囲の EOT に対してゲ ートリーク電流を大幅に低減できる)が LSTP と高速ロジックに 2008 年までに必要になるが、これがゲートリ ーク低減のための最も有力な解決策候補である。LOP ロジックでは、酸窒化膜がゲートリーク電流の制限 に適合しなくなるのは 2009 年であるが、LOP においても High-k 膜は他のロジックと同様、2008 年に導入 されると予想される。三つの図の中の Jg プロットはすべてプレーナーバルク MOSFET の場合である; UTB FD や dual gate (DG) MOSFET の場合のプロットは図の乱雑を防ぐために含まれていないが、それら をプロットした場合でも High-k ゲート絶縁膜の導入が必要になる時期は変わらない。



Figure PIDS2High-Performance Logic: $J_{g,limit}$ versus Simulated Gate Leakage Current
Density for SiON Gate Dielectric



Figure PIDS3 LSTP: J_{g,limit} versus Simulated Gate Leakage Current Density for SiON Gate Dielectric



Figure PIDS4 LOP: J_{g,limit} versus Simulated Gate Leakage Current Density for SiON Gate Dielectric

Table PIDS2aHigh-performance Logic Technology Requirements—Near-term Years

灰色のセルは UBT-FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOS や UTB-FD-SOI がスケーリ ング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	22	20	18	16	14	13	11	10
<i>L_g: Physical Lgate for High Performance</i> <i>logic (nm) [1]</i>	25	22	20	18	16	14	13	11	10
EOT: Equivalent Oxide Thickness [2]			1					1	
Extended planar bulk (Å)	11	9	7.5	6.5	5.5	5			
UTB FD (Å)				7	6	5.5	5	5	5
DG (Å)					8	7	6	6	6
Gate Poly Depletion and Inversion-Layer E	quivalent Th	hickness [3]	1						
Extended Planar Bulk (Å)	7.4	3.1	2.9	2.8	2.7	2.6			
UTB FD (Å)				4	4	4	4	4	4
DG (Å)					4	4	4	4	4
EOT _{elec} : Electrical Equivalent Oxide Thick	ness in inve	rsion [4]		•					
Extended Planar Bulk (Å)	18.4	12.1	10.4	9.3	8.2	7.6			
UTB FD (Å)				11	10	9.5	9	9	9
DG (Å)		1			12	11	10	10	10
J _{g,limit} : Maximum gate leakage current den	sity [5]								
Extended Planar Bulk (A/cm ²)	8.00E+02	9.09E+02	1.00E+03	1.11E+03	1.25E+03	1.43E+03			
UTB FD (A/cm ²)				1.11E+03	1.25E+03	1.43E+03	1.54E+03	1.82E+03	2.00E+03
$DG(A/cm^2)$					1.25E+03	1.43E+03	1.54E+03	1.82E+03	2.00E+03
V _{dd} : Power Supply Voltage (V) [6]									
Extended Planar Bulk (V)	1.1	1	1	1	0.95	0.9			
UTB FD and DG (V)				1	1	0.9	0.9	0.9	0.8
V _{t,sat} : Saturation Threshold Voltage [7]	I	ł							
Extended Planar Bulk (mV)	134	94	94	103	101	112			
UTB FD (mV)				103	89	87	93	99	99
DG (mV)					115	105	103	108	111
Isd.leak: Source/Drain Subthreshold Off-Stat	e Leakage (Current [8]		•					
Extended Planar Bulk (µA/µm)	0.34	0.71	0.70	0.64	0.74	0.68			
UTB FD (µA/µm)				0.33	0.52	0.62	0.56	0.55	0.60
DG (µA/µm)					0.2	0.34	0.37	0.38	0.38
Id sat: NMOS Drive Current [9]									
Extended Planar Bulk (uA/um)	1211	1513	1639	1807	1824	1762			
UTB FD (µA/µm)				1948	2000	1944	2109	2245	2030
DG (µA/µm)					1917	1943	2204	2365	2295
Mobility enhancement factor due to strain [10]	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8
I _{d,sat} enhancement factor due to strain [11]	1	1							
Extended Planar Bulk	1.09	1.08	1.08	1.08	1.09	1.08			
UTB FD				1.07	1.06	1.06	1.06	1.05	1.05
DG					1.04	1.04	1.04	1.03	1.03

Table PIDS2a High-performance Logic Technology Requirements—Near-term Years

灰色のセルは UBT-FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOS や UTB-FD-SOI がスケーリ ング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	22	20	18	16	14	13	11	10
Effective Ballistic Enhancement Factor	, Kbal [12]	•	•	•					•
Extended Planar Bulk	1	1	1	1	1	1			
UTB FD				1.05	1.1	1.16	1.2	1.24	1.28
DG					1.17	1.25	1.31	1.37	1.53
<i>R_{sd}: Effective Parasitic series source/d</i>	rain resistance	[13]							
Extended Planar Bulk (Ω-µm)	200	200	200	180	180	180			
UTB FD (Ω-μm)		-	-	180	180	180	170	160	160
DG (Ω-µm)					180	180	170	160	160
C _{g,ideal} : Ideal NMOS Device Gate Cap	acitance [14]								
Extended Planar Bulk (F/µm)	4. 70E-16	6.30E-16	6.63E-16	6.70E-16	6.71E-16	6.33E-16			
UTB FD (F/µm)				5.65E-16	5.52E-16	5.08E-16	4.98E-16	4.22E-16	3.83E-16
DG (F/µm)					4.60E-16	4.39E-16	4.48E-16	3.80E-16	3.45E-16
$C_{g,total}$: Total gate capacitance for calc	ulation of CV/I	[15]		•					
Extended Planar Bulk (F/µm)	7.10E-16	8.40E-16	8.43E-16	8.40E-16	8.35E-16	7.93E-16			
UTB FD (F/µm)				8.08E-16	7.22E-16	6.78E-16	6.58E-16	5.82E-16	5.43E-16
DG (F/µm)					6.50E-16	6.29E-16	6.28E-16	5.59E-16	5.25E-16
$\tau = CV/I$: NMOSFET intrinsic delay (ps) [16]								
Extended Planar Bulk (ps)	0.64	0.55	0.51	0.46	0.43	0.4			
UTB FD (ps)				0.41	0.36	0.31	0.28	0.23	0.21
DG (ps)					0.34	0.29	0.26	0.21	0.18
1/τ: NMOSFET intrinsic switching spec	ed (GHz) [17]								
Extended Planar Bulk (GHz)	1563	<mark>1818</mark>	1961	2174	2326	2500			
UTB FD (GHz)				2439	2778	3226	3571	4348	4762
DG (GHz)					2941	3448	3846	4762	5556

Manufacturable solutions exist, and are being optimized Manufacturable solutions are known Interim solutions are known

Interim solutions are known Manufacturable solutions are NOT known



Table PIDS2bHigh-performance Logic Technology Requirements—Long-term Years

灰色のセルは UBT-FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOS や UTB-FD-SOI がスケーリング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year of Production	2016	2017	2018	2019	2020	2021	2022
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
L _g : Physical Lgate for High Performance logic (nm) [1]	9	8	7	6	5.5	5	4.5
EOT: Equivalent Oxide Thickness [2]]						
Extended planar bulk (Å)							
UTB FD (Å)							
DG (Å)	5.5	5.5	5.5	5	5	5	5
Gate Poly Depletion and Inversion-La	yer Equivalent	Thickness [3]					
Extended Planar Bulk (Å)							
UTB FD (Å)							
DG (Å)	4	4	4	4	4	4	4
EOT _{elec} : Electrical Equivalent Oxide	Thickness in in	version [4]					
Extended Planar Bulk (Å)							
UTB FD (Å)							
DG (Å)	9.5	9.5	9.5	9	9	9	9
J _{g,limit} : Maximum gate leakage curren	it density [5]						
Extended Planar Bulk (A/cm ²)							
UTB FD (A/cm ²)							
DG (A/cm ²)	2.22E+03	2.50E+03	2.86E+03	3.33E+03	3.64E+03	4.00E+03	4.44E+03
V _{dd} : Power Supply Voltage (V) [6]							
Extended Planar Bulk (V)							
UTB FD and DG (V)	0.8	0.7	0.7	0.7	0.65	0.65	0.65
V _{t,sat} : Saturation Threshold Voltage	[7]						
Extended Planar Bulk (mV)							
UTB FD (mV)							
DG (mV)	110	109	114	119	123	115	118
I _{sd.leak} : Source/Drain Subthreshold Of	f-State Leakage	e Current [8]					
Extended Planar Bulk (µA/µm)	T						
UTB FD (µA/µm)							
DG (µA/µm)	0.44	0.40	0.45	0.47	0.42	0.62	0.60
	0.44	0.48	0.45	0.47	0.45		0.00
I _{d.sat} : NMOS Drive Current [9]	0.44	0.48	0.45	0.47	0.43	0.02	0.00
$I_{d,sat}$: NMOS Drive Current [9] Extended Planar Bulk (μ A/ μ m)	0.44	0.48	0.45	0.41	0.43		0.00
<i>I_{d,sat}: NMOS Drive Current</i> [9] Extended Planar Bulk (μA/μm) UTB FD (μA/μm)	0.44	0.48	0.45	0.47	0.43		0.00
I _{d,sai} : NMOS Drive Current [9] Extended Planar Bulk (μA/μm) UTB FD (μA/μm) DG (μA/μm)	2627	2533	2804	2768	2677	2799	2786
I _{d,sat} : NMOS Drive Current [9] Extended Planar Bulk (μA/μm) UTB FD (μA/μm) DG (μA/μm) Mobility enhancement factor due to strain [10]	0.44 2627 1.8	0.48 2533 1.8	2804 1.8	2768	2677	2799 1.8	2786
I _{d,sat} : NMOS Drive Current [9] Extended Planar Bulk (μA/μm) UTB FD (μA/μm) DG (μA/μm) Mobility enhancement factor due to strain [10] I _{d,sat} enhancement factor due to strai	0.44 2627 1.8 n [11]	0.48 2533 1.8	2804 1.8	2768	2677 1.8	2799 1.8	2786 1.8
I _{d,sat} : NMOS Drive Current [9] Extended Planar Bulk (μA/μm) UTB FD (μA/μm) DG (μA/μm) Mobility enhancement factor due to strain [10] I _{d,sat} enhancement factor due to strain Extended Planar Bulk	0.44	0.48 2533 1.8	2804	2768	2677 1.8	2799 1.8	2786
I _{d,sat} : NMOS Drive Current [9] Extended Planar Bulk (μA/μm) UTB FD (μA/μm) DG (μA/μm) Mobility enhancement factor due to strain [10] I _{d,sat} enhancement factor due to straii Extended Planar Bulk UTB FD	0.44	0.48 2533 1.8	0.45 2804 1.8	2768	2677 1.8	2799	2786

Table PIDS2b High-performance Logic Technology Requirements—Long-term Years

灰色のセルは UBT-FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOS や UTB-FD-SOI がスケーリング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year of Production	2016	2017	2018	2019	2020	2021	2022
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
Effective Ballistic Enhancement Facto	or , Kbal [12]	•		•			
Extended Planar Bulk							
UTB FD							
DG	1.67	1.87	1.99	1.97	2.11	2.11	2.11
R _{sd} : Effective Parasitic series source	/drain resistance	e [13]					
Extended Planar Bulk (Ω-µm)							
UTB FD (Ω-μm)							
DG (Ω-µm)	155	150	145	145	145	135	135
C _{g,ideal} : Ideal NMOS Device Gate Ca	upacitance [14]	1					
Extended Planar Bulk (F/µm)							
UTB FD (F/µm)							
DG (F/µm)	3.27E-16	2.91E-16	2.68E-16	2.30E-16	2.11E-16	1.92E-16	1.72E-16
$C_{g,total}$: Total gate capacitance for call	lculation of CV/	I [15]					
Extended Planar Bulk (F/µm)							
UTB FD (F/µm)							
DG (F/µm)	5.07E-16	4.81E-16	4.58E-16	4.10E-16	3.91E-16	3.62E-16	3.42E-16
τ =CV/I: NMOSFET intrinsic delay (p	os) [16]						
Extended Planar Bulk (ps)							
UTB FD (ps)							
DG (ps)	0.15	0.13	0.11	0.1	0.09	0.08	0.08
1/τ: NMOSFET intrinsic switching sp	eed (GHz) [17]]					
Extended Planar Bulk (GHz)							
UTB FD (GHz)							
DG (GHz)	6667	7692	9091	1.00E+04	1.11E+04	1.25E+04	1.25E+04

Manufacturable solutions exist, and are being optimized Manufacturable solutions are known Interim solutions are known Manufacturable solutions are NOT known



Tables PIDS2aとPIDS2bの注釈

Table PIDS2aとPIDS2bにはMASTAR^{1,2,3}を用いて計算した値を示している。MASTARとは、MOSFETの詳細な 解析モデルのソフトである。MASTARシミュレーションによる表内の数値などの詳細な計算結果、並びにMASTARの モデリングパッケージとユーザーズマニュアルは補助資料としてこのITRSウェブサイト内に置かれている。なお、この 表のパラメータ値は、動作時温度25℃でのゲート長が公称値のNMOSの値である。さらに、通常のロジックデバイスで は、各種のしきい値電圧、Ion、Ioff、酸化膜厚から成る複数のMOSFETで構成されるが、ここではしきい値電圧が最 も低く、Ion、Ioffが最も高く、ゲート絶縁膜が最も薄く、最も高速なトランジスタスイッチング速度の場合を示している。 チップ内ではこの高速トランジスタは、主にクリティカルパスで使われるだけで数としては少なく、大部分は、高しきい 値電圧で低リークのトランジスタが使われている。しかしながら、この高速でかつ高リークのトランジスタが、技術を牽 引するため、表にまとめ記載している。

これらの表には、プレーナーバルクCMOSや同じくUTBFD-SOI、そしてダブルゲート(DG)MOSFET(フィンゲート 含む)といった複数のタイプのトランジスタが併記されている。プレーナーバルクCMOSのスケーリング限界は2012年、 UTBFD-SOIは2015年と考えられているが、DG-MOSFETは2022年まで続くと考えられている。2009年以降もトランジ スタのイントリンシックなスイッチングスピードを年率17%改善させるのは不可能となってきており、プレーナーバルクの スケーリングにおける挑戦は重要です(詳細議論は本文に記述)。UTBFD-SOIのスケーラビリティーは、プレーナー バルクのそれよりも優れています。その結果、プレーナーバルクのIsdリークはUTBFD-SOIより高くなっています。また、 2010年から2012年にかけてバルクのEOTはより急激にスケーリングされています。さらにMASTARモデリングの結果 によれば、DIBLのような短チャネル効果は常にプレナーバルクの方がUTBFD-SOIより大きくなります。同じように、ダ ブルゲートのスケーラビリティーはUBT-SOIより優れています。よって、ダブルゲートのIsdリークはUTBFD-SOIより低く、 EOTのスケーリングはゆっくりで、短チャネル効果は常に小さくなります。これらの事から、2022年までのロードマップ を通して、ダブルゲートは究極のMOSFETデバイスであります。

併記のトランジスタにおいて、表内の数値は、NMOSトランジスタのリーク電流、短チャネル効果や他の主な電気特性は一定に保ちつつ、イントリンシックなスイッチング速度を平均年率17%改善するというスケーリング・シナリオで求めている。しかしながら、スケーリングには多くのパラメータ(EOT, V_{dd}, I_{sd,leak}他)があり、個々のパラメータの調整により他のスケーリング・シナリオを選ぶこともできる。なお、今回のスケーリング・シナリオは生産可能と考え得る一例として選んでいる。特に、High-kやメタルゲートは2008年導入と予想している。2008年にHigh-kが必要となる理由は、図表や本文を参照いただきたい。また、2008年にEOT=0.9nmとなると、ポリシリコンゲート空乏化対策としてメタルゲートが必要となる。

[1]Lg(Physical Lgate):Lg は物理ゲート長、つまり、エッチング後のゲート電極底部の最終寸法。ゲート長は ORTC (総括ロードマップ技術指標)から設定されている。ゲート電極の寸法制御は、Lithographyと FEP Etchの ITWG で決定され、30 で±12%×Lgを仮定している。スケーリングが進むほど、この 12%の要求を満たすことが、困難になってゆくと考えられる(Lithography 章と FEP 章を参照)。なお、ゲート長のばらつきが、デバイス・パラメータのばらつきの主な要因であると考えられる。最近のデータによると、ITRS の Lg スケーリングは業界における現実Lgスケーリングに比べて過度にアグレッシブであるようで、2008 ITRS で再検討される。

[2] EOT (Equivalent Oxide Thickness): ゲート絶縁膜厚 T_dと比誘電率 κ に関して, EOT=T_d / (κ / 3.9)と定義される。 ここで 3.9 は, 熱シリコン酸化膜の比誘電率である。ゲート絶縁膜厚 T_dから成る MOSFET の単位面積当たりの理想 的なゲート容量は, 熱酸化膜で形成されたゲート絶縁膜膜厚 EOT の MOSFET と同じ値である。ゲートリークを制御 するために High-k ゲート絶縁膜が 2008 年までに必要である(この点について詳しく述べた本文参照)。2005 年から 2007 年までは、ゲート絶縁膜にシリコン酸窒化膜を用いて、ゲートリークを抑制しなければならないために、EOT のス ケーリングは緩やかで、スケーリング率は低い。しかしながら、High-k 導入が予想されている 2008 年では、EOT のス ケーリングが大きく進む。ただし、黄色の色づけは、EOT<0.9nm を実現する High-k ソリューションが不確実であるこ とを示しており、赤の色付けは EOT<0.7um のソリューションがまだないことを示している。EOT の測定は複雑であり、 一般的に MOS キャパシタを用いた精密な容量 – 電圧 (CV) 測定、および光学測定で行われている。

[3] Gate Poly Depletion and Inversion-Layer Equivalent Thickness: 量子効果を含むゲート電極の空乏層幅や反転層幅は、いずれも MASTAR を用いて求めた。ポリシリコンゲート電極の空乏層幅は、ポリシリコンゲートへのドーピング量に依存する。しかしながら、2008 年以降、ポリシリコンゲートへのドーピング量を調整しても ゲート空乏層幅の要求値を満たすことは不可能になると考えられ、ゲート空乏層幅がゼロとなるメタルゲート電極の導入が予測される。2008 年にこの項目が階段を下るように大きく下がっているのは、このメタルゲート電極導入でゲート側の容量がゼロとなるためである。2008 年以降、プレーナーバルク CMOS の空乏層幅が 3Å 以下なのに対し、DG-MOSFET や UTBFD-SOI では4Å (英文は「4nm」と単位間違い)と差が出ているが、これはプレーナーバルク CMOS のチャネル濃度がDG CMOS や FD-SOI よりも高いことによる。赤く塗られているのは仕事関数を制御できるようなメタルゲート電極がまだ見つかっていないためである。プレーナーバルク CMOS では、ポリシリコンゲートと同様に適当なしきい値に設定するために、NMOS には伝導帯 (conduction band)に近い仕事関数が必要となり、PMOS には価電子帯 (valence band)近い仕事関数が必要となる。UTBFD-SOI Iや DG MOSFET では、チャネル領域が浅くまたチャネルの不純物濃度も低いため、MOSFET のしきい値の設定には、メタルゲートの仕事関数は、ミッドギャップから数百ミリボルト内にあればよい(ミッドギャップ付近の仕事関数)。マルチVtは仕事関数の調整で得られます。メタルゲート電極と High-k ゲート絶縁膜と密接に関係しており、黄色と赤色の色付けは一般的に EOT (上で Note [2]を見る)のそれに従う。

[4] EOTelec は EOTとゲート空乏層と反転層膜厚(上記注[2],[3]参照)の合計である。MOSFETの反転では、単位面 積当たりの理想的なゲート容量(注[14]を参照。)は εοκ /(EOTelec) で表される。ここで、εοκ は熱シリコン酸化膜の 誘電率である。反転における電気的なシリコン酸化膜厚は、CV/I イントリンシックな遅延(注[16]参照)の計算に用い られる。赤色/黄色は、EOT およびゲート空乏層と反転層膜厚の色付けに従う。

[5]Jg,limit は 25℃における最大許容ゲートリーク電流密度であり、ゲートを Vdd、ソース、ドレイン、基板を接地し測定した値である。Jg,limit は 1 μ m 当たりの目標サブスレッショルド・リーク電流 I_{sd,leakTGT}と関係し、I_{sd,leakTGT}はデバイス 幅 1um 当たり 0.2 μ A に設定される。最大許容ゲートリーク電流密度は Jg,limit=[初期値]×[I_{sd,leakTGT}(物理的ゲート長)]×[Hi T(温度)係数 / 回路係数]で表記される。"Hi T 係数"は「10」に設定されており、高性能ロジックで予想されている高温動作温度(100℃)を考慮し、高温になると急激に増加する I_{sd,leak}、と温度依存性のほとんどないゲートリーク電流(直接トンネル電流であるため)の双方から求めた。"回路係数"は「1」に設定されており、I_{sd,leak} と Jg,limit が孤立単体トランジスタでの値であるのに対し、ロジックゲートでのサブスレショルドリークとゲートトリーク電流の差から求めた。(NMOS の I_{sd,leak}([8]参照)と Jg,limitを決めたバイアス条件とは異なり、いろいろなゲート長のトランジスタで異なるバイアス条件から求めた)。"初期値"は「0.1」に設定されている。回路の大部分のトランジスタは低いサブスレショルドリーク電流であるが、この表内のトランジスタは特にスレショルドリークが大きく、しきい値電圧も低いことによる。ここでの"Hi T 係数"、"回路係数"、"初期値"の値は大まかな見積もりである。黄色と赤色は、EOT に従う(上記注[2]参照)。 [6] Vdd は電源電圧を表す。電源電圧は、ゲート絶縁膜の縦方向電界強度を適度に保ち、飽和駆動電流値の要求を満たすために十分なオーバードライブ電圧[V_{dd}一飽和しきい値電圧(注[7]参照)]を得るよう選択されている。実際の電源電圧は、特定の回路設計もしくは技術最適化によっては、この表に示された値から±10%(それ以上)変動することも考えられる。 [7] Vt,sat は飽和しきい値電圧で、最小ゲート長のトランジスタでドレインに V_{dd}を印加した場合について MASTAR を用いて求めた。しきい値電圧とこれに比例したサブスレショルドリーク電流(注[8]参照)は、飽和駆動電流値(注[9] 参照)の要求を満たすために十分なオーバードライブ電圧[V_{dd} – 飽和しきい値電圧]を得るよう選択されている。プレーナーバルク CMOS では、陰影をつけられた 2007 年の暫定ソリューションは、SiON ゲート絶縁膜であるため、EOT が大きく(1.1nm)、短チャネル効果が極めて大きい(DIBL は 340mV/V 以上)。黄色の色づけは基板の不純物濃度 が 4e18cm-3 を越える(MASTAR による)ためであり、赤色の色づけは 6e18cm-3 を越えるためである。

UTBFD-SOI では、2010 年から赤色になっており、Vt,sat と短チャネル効果抑制のために たいへん薄いシリコンボ ディ膜厚(Tsi)の制御が必要とされるためである。DG-MOSFET では、現在まだ理解できていない多くの問題を抱え ており、始まりから赤色になっている。特に、~0.6Lg と言われるフィン幅の決め方や制御方法は主要な挑戦の1つ である。必要とされる UTBFD-SOI のシリコンボディ膜厚や DG-MOSFET のフィン幅は MASTAR から見積もられる。

[8]Ids,leak は サブスレッショルド・リーク電流値で、25℃で NMOSFET のドレインを Vdd、ソース、ゲート、基板を接地 し測定した単位チャネル幅当たりのソース電流である。NMOS の全オフ状態電流は、25℃における単位チャネル幅 当たりの NMOSFET のドレイン電流であり、サブスレッショルド・リーク電流とゲートリーク電流と接合リーク電流(バンド 間トンネリング電流や GIDL を含む)成分の総和である。25℃あるいは高温条件では、サブスレッショルド・リーク電流 は接合リーク電流よりも大きくなると仮定した。Isd,leak とゲートリーク電流密度の関係については注[5]を参照。黄色と赤 色は、Vt,sat(上記注[7]参照)が Isd,leak で決定することから Vt,sat の色に従っている。これら、サブスレッショルド・リー ク電流とゲートリーク電流と接合リーク電流のスケーリングは PMOS デバイスにも適用される。

[9] I_{d,sat} は飽和電流値で、25℃で NMOSFET のドレインとゲートを Vdd、ソース、基板を接地し測定した単位チャネル 幅当たりのドレイン電流である。飽和電流は従来のスケーリングを踏襲し年率約 17%のデバイス性能向上をできるだ け継続するように選択した(下記注[16]参照)。PMOS の飽和電流値は、NMOS の飽和電流値の(40-50)%と仮定した。 黄色/赤色の理由は以下の四項目である。寄生ソース/ドレイン直列抵抗 R_{sd}(下記注[13]参照)、反転における電 気的な酸化膜膜厚(注[4]参照)、移動度の要求値(注[10]参照)、バリスティック輸送による改善係数(注[12]参照)。 [10] 歪みによる移動度増倍係数は µratio=[倍増した移動度]/[リファレンスの移動度]で表され、[倍増した移動度]は 歪みによる増倍効果を含む移動度、[リファレンスの移動度] は増倍効果を含まない移動度である。資料によれば、

µratio は最大限 1.8⁵である。また、移動度の増倍技術は飽和電流の要求値を満たすため 2004 年⁶より製品に適用さ れており、それ故に拡張されたプレーナーバルクの色付けは当初は白であった。しかしながら、文献では移動度の増 倍にはいろいろな手法があり、その中には SiGe エピ上の薄膜シリコン層によるグローバル歪み⁷、窒化膜のオーバー レイヤーによる歪、PMOS S/D の SiGe や NMOS S/D の SiC といった選択エピによるプロセス起因歪、バイブリット結 晶軸の使用などによる手法⁸ などが含まれる。MOSFET のスケーリングが進むに連れて、歪みの大きさを維持するの がより難しくなってくるし、何が最も良い手法な何なのか またどのようにこれらのプロセスを組み立てるかなどがまだ 明確にはなっていない。

その結果、2009年に黄色になっている。2009年では、Lg=20nmで MASTAR によると不純物濃度は 5E18cm-3 に 近づく。UTBFD-SOI と DG のいずれに於いても、赤色になっている理由は、これらのデバイスで移動度を改善する 方法が見つかっていない事による。

[11] Idsatのための移動度増倍係数 Id,ratioは、移動度倍増による飽和電流の改善度合いを表す。

この係数は [改善した Id,sat] / Id,ref=Id,ratio で定義される。ここで [改善した Id,sat]は増倍した移動度での飽和電 流値を表し、Id,ref は増倍のない移動度での飽和電流値を表す。MASTAR で計算される Id,ratio は、移動度増倍係 数 µratio(注[10]参照)の関数である。一般に、Id,ratio は短チャネル効果や速度オーバーシュートにより µratio より 極めて小さな値となる。黄色または赤色の色づけは µratio のそれに従う。(注[10]参照)

[12]実効バリスティック増倍係数は、UTBFD-SOIや DG MOSFET に於いて極薄膜ボディ MOSFET のように大きくス ケーリングが進んだ場合に(主にソースでのキャリア注入の倍増による)擬バリスティック輸送現象で Id,sat が増加す るときの増倍率を表す。プレーナーバルク CMOS ではおそらく不純物濃度が高くバリスティック輸送現象は生じない。 この係数が1以上になると擬バリスティク輸送を表しており、この係数により飽和電流が要求値を満たすようになる。 赤色の色づけは、トランジスタに対する擬バリスティック輸送のソリューションが見つかっていないことによる。

[13] R_{sd}は、チャネル幅1µm当たりの最大許容寄生直列ソース+ドレイン抵抗(両サイドのトータル抵抗)である. これらの値は, 飽和電流値(注[9]参照)を満足するように縮小される。 黄色/赤色は, FET TWG による コンタクト抵抗, サリサイド・シート抵抗およびドレイン・エクステンションのスケーリングの結果を反映している。 Rsd の値は更新された情報に基づき 2005ITRS より大きくなっている。

[14] C_{g,ideal}は単位チャネル幅当たりの理想的なゲート容量。C_{g,ideal}=[ɛox / (EOT_{elec})]×L_g, ここで ɛox とは熱シリコン酸 化膜の誘電率, EOT_{elec} とは反転における電気的に換算した酸化膜膜厚(注[4]参照), L_g とは物理的なゲート長(注 [1]参照)。黄色/赤色は, EOT_{elec}(注[4]参照)に従う。

[15] $C_{g,total}$ は反転時の単位チャネル幅当たりの全ゲート容量。単位チャネル幅当たりの $C_{g,ideal}$ と寄生ゲートオーバー ラップ/フリンジ容量(Miller 効果を含む)。黄色/赤色は、 $C_{g,ideal}$ (注[14]参照)に従う。

[16] τ とは、25°Cにおける NMOS デバイスのイントリンシックなトランジスタ遅延時間で τ = ($C_{g,total} \times V_{dd}$)/ I_{d,sat_o} PMOSFET の τも同様に縮小されると仮定した。ただし、PMOS $I_{d,sat} \sim (0.4-0.5) \times (NMOS I_{d,sat})$ 。 τはデバイスの本 質的なスイッチング遅延時間に対する良い尺度であり、1/τ はデバイスの本質的なスイッチング速度に対する良い尺 度である。赤色/黄色は、飽和電流(注[9]参照)および $C_{g,total}$ (注[15]参照)の両方に従う。

[17] 1/τは NMOS のイントリンシックなスイッチング速度である。高性能ロジックのスケーリングの目的は、年率約 17% のデバイス性能改善というスケーリング・トレンドの維持である。赤色/黄色は、τに従う。

Table PIDS3aLow Standby Power Technology Requirements—Near-term Years

灰色のセルは UBT-FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOS や UTB-FD-SOI がスケーリング限界 に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year in Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	22	20	18	16	14	13	11	10
Lg: Physical gate length for LSTP	[1]						•	•	•
Extended Planar Bulk and DG (nm)	45	37	32	28	25	22	20	18	16
UTB FD (nm)						22	20	18	17
EOT: Equivalent Oxide Thickness	[2]								
Extended planar bulk (Å)	19	16	15	14	13	12	11		
UTB FD (Å)						13	12	11	10
DG (Å)						14	13	12	11
Gate Poly Depletion and Inversion	-Layer Equiva	lent Thickness	[3]						
Extended planar bulk (Å)	6.2	3.3	3.4	3.3	3.2	3.1	3.1		
UTB FD (Å)						4	4	4	4
DG (Å)						4	4	4	4
EOT _{elec} : Electrical Equivalent Oxi	ide Thickness	in inversion [[4]						
Extended planar bulk (Å)	25.2	19.3	18.4	17.3	16.2	15.1	14.1		
UTB FD (Å)						17	16	15	14
DG (Å)						18	17	16	15
J _{g.limit} : Maximum gate leakage cur	rent density	[5]							
Extended Planar Bulk (A/cm ²)	6.67E-02	8.11E-02	9.38E-02	1.07E-01	1.20E-01	1.36E-01	1.50E-01		
UTB FD (A/cm ²)						1.36E-01	1.50E-01	1.67E-01	1.76E-01
DG (A/cm ²)						1.36E-01	1.50E-01	1.67E-01	1.88E-01
V _{dd} : Power Supply Voltage (V) [0	5]		L		4				
Extended Planar Bulk (V)	1.1	1.1	1	1	1	1	0.95		
UTB FD (V)						0.9	0.9	0.9	0.85
DG (V)						0.85	0.85	0.85	0.8
V _{t,sat} : Saturation Threshold Voltage	e [7]						1		1
Extended Planar Bulk (mV)	534	567	535	535	544	552	547		
UTB FD (mV)						395	399	401	404
DG (mV)						380	362	361	366
Isd, leak: Source/Drain Subthreshold	Off-State Lea	kage Current	[8]		1				
Extended Planar Bulk (µA/µm)	3.03E-05	3.03E-05	3.05E-05	3.07E-05	3.02E-05	3.02E-05	3.03E-05		
UTB FD (µA/µm)						3.14E-05	3.09E-05	3.17E-05	3.02E-05
DG (µA/µm)						1.15E-05	2.44E-05	2.82E-05	2.65E-05
I _{d.sat} : NMOS Drive Current [9]									
Extended Planar Bulk (µA/µm)	465	569	501	528	542	560	519		
UTB FD (µA/µm)						608	669	744	786
DG (µA/µm)						550	612	674	702
Mobility enhancement factor due to	strain [10]								
Extended Planar Bulk	1.8	1.8	1.8	1.8	1.8	1.8	1.8		
UTB FD and DG						1.4	1.8	1.8	1.8

Table PIDS3a Low Standby Power Technology Requirements—Near-term Years

灰色のセルは UBT-FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOS や UTB-FD-SOI がスケーリング限界 に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

に対圧した後の別間と外して		UNCAL		-/ 0					
Year in Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
MPU/ASIC Metal 1 (M1) ¹ / ₂ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	22	20	18	16	14	13	11	10
$I_{d,sat}$ enhancement factor due to sta	rain [11]		-						
Extended Planar Bulk	1.19	1.17	1.16	1.17	1.17	1.16	1.17		
UTB FD						1.04	1.07	1.07	1.07
DG						1.03	1.05	1.05	1.05
Effective Ballistic Enhancement Fa	ctor [12]			•	•				
Extended Planar Bulk	1	1	1	1	1	1	1		
UTB FD						1	1	1	1.1
DG						1	1	1	1.1
R _{sd} : Effective Parasitic series sour	rce/drain resist	tance [13]							
Extended Planar Bulk (Ω-µm)	180	180	180	180	180	180	180		
UTB FD (Ω-μm)						200	200	180	160
DG (Ω-µm)						210	210	200	200
Cg,ideal: Ideal NMOS Device Gate	Capacitance	[14]							
Extended Planar Bulk (F/µm)	6.17E-16	6.62E-16	6.01E-16	5.58E-16	5.32E-16	5.02E-16	4.90E-16		
UTB FD (F/µm)						4.46E-16	4.31E-16	4.14E-16	4.19E-16
DG (F/µm)						4.22E-16	4.06E-16	3.88E-16	3.68E-16
C _{g,total} : Total gate capacitance for	calculation of	CV/I [15]							
Extended Planar Bulk (F/µm)	8.57E-16	9.02E-16	8.21E-16	7.68E-16	7.32E-16	6.92E-16	6.70E-16		
UTB FD (F/µm)						6.86E-16	6.71E-16	6.54E-16	6.39E-16
DG (F/µm)						6.62E-16	6.46E-16	6.28E-16	6.08E-16
$\tau = CV/I$: NMOSFET intrinsic dela	y (ps) [16]								
Extended Planar Bulk (ps)	2.03	1.74	1.64	1.46	1.35	1.24	1.23		
UTB FD (ps)		-				1.02	0.9	0.79	0.69
DG (ps)						1.02	0.9	0.79	0.69
1/τ: NMOSFET intrinsic switching	speed (GHz)	[17]							
Extended Planar Bulk (GHz)	493	575	610	685	741	806	813		
UTB FD (GHz)						980	1111	1266	1449
DG (GHz)						980	1111	1266	1449

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Table PIDS3b Low Standby Power Technology Requirements—Long-term Years

灰色のセルは UBT-FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOS や UTB-FD-SOI がスケーリ ング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year in Production	2016	2017	2018	2019	2020	2021	2022							
MPU/ASIC Metal 1 (M1) 1/2	22	20	10	16	14	12								
Pitch (nm)(contacted)	22	20	18	10	14	13	11							
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5	4.5							
L_g : Physical gate length for LSTP	Lg: Physical gate length for LSTP [1]													
Extended Planar Bulk and DG (nm)	14	13	12	11	10	9	8							
UTB FD (nm)	16	15												
EOT: Equivalent Oxide Thickness	[2]													
Extended planar bulk (Å)														
UTB FD (Å)	9	8												
DG (Å)	11	10	10	9	9	8	8							
Gate Poly Depletion and Inversion-Layer Equivalent Thickness [3]														
Extended planar bulk (Å)														
UTB FD (Å)	4	4												
DG (Å)	4	4	4	4	4	4	4							
EOT _{elec} : Electrical Equivalent Ox	ide Thickness in	inversion [4]												
Extended planar bulk (Å)														
UTB FD (Å)	13	12												
DG (Å)	15	14	14	13	13	12	12							
J _{g,limit} : Maximum gate leakage cu	rrent density [5]]												
Extended Planar Bulk (A/cm ²)														
UTB FD (A/cm ²)	1.88E-01	2.00E-01												
$DG (A/cm^2)$	2.14E-01	2.31E-01	2.50E-01	2.73E-01	3.00E-01	3.33E-01	3.75E-01							
V _{dd} : Power Supply Voltage (V) [[6]													
Extended Planar Bulk (V)														
UTB FD (V)	0.8	0.8												
DG (V)	0.8	0.8	0.8	0.75	0.75	0.7	0.7							
V _{t,sat} : Saturation Threshold Voltag	ge [7]													
Extended Planar Bulk (mV)														
UTB FD (mV)	404	405												
DG (mV)	366	371	365	374	378	369	376							
Isd, leak: Source/Drain Subthreshold	d Off-State Leaka	ge Current [8]												
Extended Planar Bulk														
(μA/μm)														
UTB FD (µA/µm)	3.10E-05	3.27E-05												
DG (µA/µm)	2.97E-05	2.55E-05	3.38E-05	2.62E-05	2.39E-05	3.38E-05	2.89E-05							
I _{d,sat} : NMOS Drive Current [9]														
Extended Planar Bulk (µA/µm)														
UTB FD (µA/µm)	771	838												
DG (µA/µm)	738	839	889	895	935	934	946							

Table PIDS3b Low Standby Power Technology Requirements—Long-term Years

灰色のセルは UBT-FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOS や UTB-FD-SOI がスケーリ ング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year in Production	2016	2017	2018	2019	2020	2021	2022
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5	4.5
Mobility enhancement factor due t	o strain [10]		1	1	1		1
Extended Planar Bulk							
UTB FD and DG	1.8	1.8	1.8	1.8	1.8	1.8	1.8
I _{d,sat} enhancement factor due to st	train [11]						
Extended Planar Bulk							
UTB FD	1.08	1.07					
DG	1.04	1.04	1.04	1.04	1.04	1.04	1.04
Effective Ballistic Enhancement Fe	actor [12]						
Extended Planar Bulk							
UTB FD	1.15	1.18					
DG	1.15	1.22	1.27	1.4	1.45	1.5	1.55
R _{sd} : Effective Parasitic series sou	rce/drain resista	nce [13]					
Extended Planar Bulk (Ω-µm)							
UTB FD (Ω-μm)	150	150					
DG (Ω-µm)	200	180	180	170	160	140	140
C _{g,ideal} : Ideal NMOS Device Gate	e Capacitance [14]					
Extended Planar Bulk (F/µm)							
UTB FD (F/µm)	4.25E-16	4.31E-16					
DG (F/µm)	3.22E-16	3.20E-16	2.96E-16	2.92E-16	2.65E-16	2.59E-16	2.30E-16
$C_{g,total}$: Total gate capacitance for	• calculation of C	CV/I [15]					
Extended Planar Bulk (F/µm)							
UTB FD (F/µm)	6.25E-16	6.31E-16					
DG (F/µm)	5.62E-16	5.60E-16	5.26E-16	5.02E-16	4.65E-16	4.49E-16	4.20E-16
$\tau = CV/I$: NMOSFET intrinsic dela	ay (ps) [16]						
Extended Planar Bulk (ps)							
UTB FD (ps)	0.65	0.6					
DG (ps)	0.61	0.53	0.47	0.42	0.37	0.34	0.31
1/τ: NMOSFET intrinsic switching	g speed (GHz) [[17]					
Extended Planar Bulk (GHz)							
UTB FD (GHz)	1538	1667					
DG (GHz)	1639	1887	2128	2381	2703	2941	3226

Manufacturable solutions exist, and are being optimized Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Table PIDS3cLow Operating Power Technology Requirements—Near-term Years

灰色のセルは UBT-FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOS や UTB-FD-SOI がスケーリング限界に到達 した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year in Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	22	20	18	16	14	13	11	10
L _g : Physical gate length for LOP (nm) [1]	32	28	25	22	20	18	16	14	13
EOT: Equivalent Oxide Thickness [2]									
Extended planar bulk (Å)	12	11	10	9	8	8			
UTB FD (Å)					9	9	8	8	8
DG (Å)					9	9	9	8	8
Gate Poly Depletion and Inversion-Lay	ver Equivalent	Thickness [3]							
Extended planar bulk (Å)	6.4	3.4	3.3	3.4	3.3	3.2			
UTB FD (Å)					4	4	4	4	4
DG (Å)					4	4	4	4	4
EOT _{elec} : Electrical Equivalent Oxide	Thickness in inv	version [4]							
Extended planar bulk (Å)	18.4	14.4	13.3	12.4	11.3	11.2			
UTB FD (Å)					13	13	12	12	12
DG (Å)					13	13	13	12	12
J _{g,limit} : Maximum gate leakage curren	t density [5]								
Extended Planar Bulk (A/ cm ²)	78	89	100	114	125	139			
UTB FD (A/ cm^2)					125	139	156	179	192
$DG (A/cm^2)$					125	139	156	179	192
V _{dd} : Power Supply Voltage (V) [6]									
Extended Planar Bulk (V)	0.8	0.8	0.8	0.7	0.7	0.7			
UTB FD (V)					0.7	0.7	0.6	0.6	0.6
DG (V)					0.7	0.7	0.6	0.6	0.6
V _{t,sat} : Saturation Threshold Voltage [7]								
Extended Planar Bulk (mV)	294	296	289	259	246	249			
UTB FD (mV)					218	209	195	202	202
DG (mV)					207	202	203	201	202
Isd,leak: Source/Drain Subthreshold Off	-State Leakage	Current [8]							
Extended Planar Bulk (µA/µm)	9.08E-03	7.35E-03	8.96E-03	1.83E-02	2.55E-02	3.57E-02			
UTB FD (µA/µm)					8.32E-03	1.19E-02	2.02E-02	1.86E-02	1.98E-02
DG (µA/µm)					5.84E-03	7.73E-03	8.61E-03	1.07E-02	1.10E-02
I _{d,sat} : NMOS Drive Current [9]									
Extended Planar Bulk (µA/µm)	563	705	760	682	754	760			
UTB FD (µA/µm)					766	788	747	763	810
DG (µA/µm)					780	821	754	826	893
Mobility enhancement factor due to strain [10]	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8
I _{d,sat} enhancement factor due to strain	[11]	-		-					
Extended Planar Bulk	1.15	1.11	1.11	1.11	1.1	1.09			
UTB FD					1.07	1.07	1.07	1.06	1.06
DG					1.05	1.05	1.05	1.05	1.04

Table PIDS3c Low Operating Power Technology Requirements—Near-term Years

灰色のセルは UBT-FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOS や UTB-FD-SOI がスケーリング限界に到達 した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year in Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	22	20	18	16	14	13	11	10
Effective Ballistic Enhancement Factor	· [12]	•	•		•	•			•
Extended Planar Bulk	1	1	1	1	1	1			
UTB FD					1	1	1.09	1.1	1.15
DG					1	1	1.15	1.18	1.25
<i>R_{sd}: Effective Parasitic series source/d</i>	lrain resistance	e [13]							
Extended Planar Bulk (Ω-µm)	190	190	190	190	190	190			
UTB FD (Ω-μm)					190	190	180	170	165
DG (Ω-μm)					190	180	180	180	170
Cg,ideal: Ideal NMOS Device Gate Cap	pacitance [14]	1							
Extended Planar Bulk (F/µm)	6.01E-16	6.70E-16	6.48E-16	6.13E-16	6.12E-16	5.54E-16			
UTB FD (F/µm)					5.31E-16	4.78E-16	4.60E-16	4.02E-16	3.74E-16
DG (F/µm)					5.31E-16	4.78E-16	4.25E-16	4.02E-16	3.74E-16
Cg,total: Total gate capacitance for calc	culation of CV/	T [15]							
Extended Planar Bulk (F/µm)	8.41E-16	9.10E-16	8.78E-16	8.13E-16	8.12E-16	7.54E-16			
UTB FD (F/µm)					7.51E-16	6.88E-16	6.60E-16	6.02E-16	5.54E-16
DG (F/µm)					7.71E-16	7.18E-16	6.65E-16	6.43E-16	6.14E-16
$\tau = CV/I$: NMOSFET intrinsic delay (p	os) [16]								
Extended Planar Bulk (ps)	1.19	1.03	0.92	0.83	0.75	0.69			
UTB FD (ps)					0.69	0.61	0.53	0.47	0.41
DG (ps)					0.69	0.61	0.53	0.47	0.41
1/τ: NMOSFET intrinsic switching spe	ed (GHz) [17]	7							
Extended Planar Bulk (GHz)	840	971	1087	1205	1333	1449			
UTB FD (GHz)					1449	1639	1887	2128	2439
DG (GHz)					1449	1639	1887	2128	2439

Manufacturable solutions exist, and are being optimized



Manufacturable solutions are NOT known

Table PIDS3dLow Operating Power Technology Requirements—Long-term Years

灰色のセルは UBT-FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOS や UTB-FD-SOI がスケー リング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year in Production	2016	2017	2018	2019	2020	2021	2022
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5	4.5
L _g : Physical gate length for LOP (nm) [1]	11	10	9	8	7	6.5	6
EOT: Equivalent Oxide Thickness [2	2]						
Extended planar bulk (Å)							
UTB FD (Å)	7						
DG (Å)	8	7	7	7	7	6	6
Gate Poly Depletion and Inversion-La	ayer Equivalent 2	Thickness [3]					
Extended planar bulk (Å)							
UTB FD (Å)	4						
DG (Å)	4	4	4	4	4	4	4
EOT _{elec} : Electrical Equivalent Oxide	e Thickness in inv	version [4]					
Extended planar bulk (Å)							
UTB FD (Å)	11						
DG (Å)	12	11	11	11	11	10	10
J _{g,limit} : Maximum gate leakage curre	nt density [5]						
Extended Planar Bulk (A/cm^2)							
UTB FD (A/cm^2)	227						
$DG (A/cm^2)$	227	250	278	313	357	385	417
V _{dd} : Power Supply Voltage (V) [6]							
Extended Planar Bulk (V)							
UTB FD (V)	0.5						
DG (V)	0.6	0.5	0.5	0.5	0.5	0.45	0.45
V _{t,sat} : Saturation Threshold Voltage	[7]						
Extended Planar Bulk (mV)							
UTB FD (mV)	187						
DG (mV)	202	188	194	190	195	190	201
Isd leak: Source/Drain Subthreshold O	ff-State Leakage	Current [8]					
Extended Planar Bulk (μ A/ μ m)							
UTB FD (µA/µm)	3.71E-02						
DG (µA/µm)	1.31E-02	2.23E-02	1.94E-02	2.55E-02	2.41E-02	3.26E-02	2.40E-02
Id sat: NMOS Drive Current [9]							
Extended Planar Bulk (μ A/ μ m)							
UTB FD (µA/µm)	716						
DG (µA/µm)	916	808	850	900	919	874	876
Mobility enhancement factor due to strain [10]	1.8	1.8	1.8	1.8	1.8	1.8	1.8
L _{d out} enhancement factor due to strai	in [11]						
Extended Planar Bulk							
UTB FD	1.06						
DG	1.00	1 04	1.04	1 04	1 03	1.03	1.03
50	1.04	1.04	1.04	1.04	1.00	1.00	1.00

Table PIDS3d Low Operating Power Technology Requirements—Long-term Years

灰色のセルは UBT-FD-SOI やダブルゲート MOSFET が量産開始されるまでの期間とプレーナー型バルク MOS や UTB-FD-SOI がスケー リング限界に到達した後の期間を示している(本文、並びに後述の表を参照のこと)。

Year in Production	2016	2017	2018	2019	2020	2021	2022
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5	4.5
Effective Ballistic Enhancement Fact	tor [12]	•			•		•
Extended Planar Bulk							
UTB FD	1.24						
DG	1.27	1.35	1.43	1.45	1.5	1.6	1.68
<i>R_{sd}: Effective Parasitic series source</i>	e/drain resistance	e [13]					
Extended Planar Bulk (Ω-µm)							
UTB FD (Ω-μm)	160						
DG (Ω-μm)	170	155	150	140	140	140	140
C _{g,ideal} : Ideal NMOS Device Gate C	Capacitance [14]	7					
Extended Planar Bulk (F/µm)							
UTB FD (F/µm)	3.14E-16						
DG (F/µm)	3.16E-16	3.14E-16	2.82E-16	2.51E-16	2.20E-16	2.24E-16	2.07E-16
$C_{g,total}$: Total gate capacitance for cap	alculation of CV/	I [15]					
Extended Planar Bulk (F/µm)							
UTB FD (F/µm)	5.15E-16						
DG (F/µm)	5.56E-16	5.24E-16	4.82E-16	4.41E-16	4.10E-16	4.14E-16	3.97E-16
$\tau = CV/I$: NMOSFET intrinsic delay	(ps) [16]						
Extended Planar Bulk (ps)							
UTB FD (ps)	0.36						
DG (ps)	0.36	0.32	0.28	0.24	0.22	0.21	0.2
1/τ: NMOSFET intrinsic switching s	peed (GHz) [17]]					
Extended Planar Bulk (GHz)							
UTB FD (GHz)	2778						
DG (GHz)	2778	3125	3571	4167	4545	4762	5000

Manufacturable solutions exist, and are being optimized Manufacturable solutions are known Interim solutions are known Manufacturable solutions are NOT known



Tables PIDS3a から PIDS3dの注釈

表内の数値は MASTAR R^{1,2,3}を用いて計算した値を示している。MASTAR とは、MOSFET の詳細な解析モデ ルのソフトである。表内の数値など MASTAR シミュレーションによる詳細な計算結果、並びに MASTAR のモデリン グパッケージとユーザーズマニュアルは補助資料としてこの ITRS ウェブサイト内に置かれている。なお、この表のパ ラメータ値は、動作時温度 25℃でのゲート長が公称値の NMOS の値である。さらに、通常のロジックデバイスでは、 各種のしきい値電圧、Ion、Ioff、酸化膜厚から成る複数の MOSFET で構成されるが、ここで示す LSTP ロジックトラン ジスタはしきい値電圧が最も高く、Ion、Ioff が最も低く、ゲート絶縁膜が最も厚い、イントリンシックなスイッチング速度 は最も低速なトランジスタの場合を示している。チップ内の大部分はこのトランジスタで 許容限界までリーク電流や待 機電力を抑えている。このトランジスタが、技術を牽引するため、表にまとめ記載している。一方、LOP ロジックでは、ト ランジスタは"標準"トランジスタとして、しきい値電圧や、Ion、Ioff は中間値を取る。駆動能力が要求される場合で、 LSTP ほど待機電力を抑えなくて済む場合に用いられる。LOPトランジスタは動作電力が低く、許容限界まで動作電 カリーク電流を抑るために Vdd が大きくスケーリングされている。

これらの表には、プレーナーバルク CMOS や同じく UTBFD-SOI、そしてダブルゲート(DG) MOSFET(フィンゲート含む) といった複数のタイプのトランジスタが併記されている。LOP に於いては、プレーナーバルク CMOS のスケーリング限界は 2012 年、UTBFD-SOI は 2016 年と考えられている。UTBFD-SOI と DG は 2011 年から始まり、2011 年から 2012 年の間は三種類のトランジスタが存在することになる。一方、LSTP では、 プレーナーバルク CMOS のス

ケーリング限界は 2013 年、UTBFD-SOI は 2017 年と考えられている。UTBFD-SOI と DG-MOSFET は 2012 年から 始まり、2012 年から 2013 年の間は三種類のトランジスタが存在することになる。

併記のトランジスタにおいて、表内の数値は、トランジスタ駆動能力、短チャネル効果や他の主な電気特性は一定に保ちつつ、最適なスケーリングを目指すというスケーリング・シナリオで求めている。LSTPに於いては、超低リーク電流が大きな目標であり、LOPでは、LSTPほどではないが低リーク電流を保ちつつ高速性と低動作電力の両立が大きな目標である。しかしながら、スケーリングには多くのパラメータ(EOT, V_{dd}, I_{sd,leak}他)があり、個々のパラメータの調整により他のスケーリング・シナリオを選ぶこともできる。なお、今回のスケーリング・シナリオは生産可能と考え得る一例として選んでいる。特に、High-kやメタルゲートは2008年導入と予想している。2008年にHigh-kが必要となる理由は、図表や本文を参照いただきたい。

[1]Lg は物理ゲート長、つまり、エッチング後のゲート電極底部の最終寸法である。リーク電流の要求値を満たすために、LOP のゲート長は 高性能ロジックの2年遅れ、LSTP は4年遅れの値となっている。LSTP 向けの FD デバイスでは、ITRS の終わり頃にはゲート長のスケーリングが DG MOSFET より少し遅れるようになる。これは、UTBFD-SOI では素子の微細化と微細領域でリーク電流を許容範囲内に収める事が困難であるためである。ゲート電極の寸法制御は、Lithographyと FEP Etchの ITWG で決定され、3σで±12%×Lgを仮定している。スケーリングが進むほど、この 12%の要求を満たすことが、困難になってゆくと考えられる(Lithography 章と FEP 章を参照)。なお、ゲート長のばらつきが、デバイス・パラメータのばらつきの主な要因であると考えられる。

[2] EOT:ゲート絶縁膜厚 T_dと比誘電率 κ に関して, EOT=T_d/(κ /3.9)と定義される。ここで3.9は, 熱シリコン酸化 膜の比誘電率である。ゲート絶縁膜厚 T_dから成る MOSFET の単位面積当たりの理想的なゲート容量は, 熱酸化膜 で形成されたゲート絶縁膜膜厚 EOT の MOSFET と同じ値である。ゲートリークを制御するために High-k ゲート絶縁 膜が 2008 年までに必要である(この点について詳しく述べた本文参照)。黄色の色づけは、EOT<0.9nm を実現する High-k ソリューションが不確実であることを示しており、赤の色付けは EOT<0.7um のソリューションがまだないことを 示している。EOT の測定は複雑であり, 一般的に MOS キャパシタを用いた精密な容量 – 電圧(CV)測定, および光 学測定で行われている。

[3] Gate Poly Depletion and Inversion-Layer Equivalent Thickness:量子効果を含むゲート電極の空乏層幅や反転層幅は、いずれも MASTAR を用いて求めた。ポリシリコンゲート電極の空乏層幅は、ポリシリコンゲートへのドーピング量に依存する。しかしながら、2008 年以降、ポリシリコンゲートへのドーピング量を調整しても ゲート空乏層幅の要求値を満たすことは不可能になると考えられ、ゲート空乏層幅がゼロとなるメタルゲート電極の導入が予測される。2008 年にこの項目が階段を下るように大きく下がっているのは、このメタルゲート電極導入でゲート側の容量がゼロとなるためである。2008 年以降、プレーナーバルク CMOS の空乏層幅が 3 Å 以下なのに対し、DG-MOSFET や UTBFD-SOI では4 Å (英文は「4nm」と単位間違い)と差が出ているが、これはプレーナーバルク CMOS のチャネル濃度がDG CMOS や FD-SOI よりも高いことによる。赤く塗られているのは仕事関数を制御できるようなメタルゲート電極がまだ見つかっていないためである。プレーナーバルク CMOS では、ポリシリコンゲートと同様に適当なしきい値に設定するために、NMOS には伝導帯 (conduction band) に近い仕事関数が必要となり、PMOS には価電子帯 (valence band) 近い仕事関数が必要となる。FD-SOI や DG MOSFET では、チャネル領域が浅くまたチャネルの不純物濃度も低いため、MOSFET のしきい値の設定には、メタルゲートの仕事関数は、ミッドギャップから数百ミリボルト内にあればよい(ミッドギャップ付近の仕事関数)。マルチVtは仕事関数の調整で得られます。メタルゲート電極と High-k ゲート絶縁膜と密接に関係しており、黄色と赤色の色付けは一般的に EOT (上で Note [2]を見る)のそれに従います。

[4] EOTelec は EOT とゲート空乏層と反転層膜厚(上記注[2],[3]参照)の合計である。MOSFET の反転では、単位面 積当たりの理想的なゲート容量(注[14]を参照。)は ϵ_{ox} /(EOTelec) で表される。ここで、 ϵ_{ox} は熱シリコン酸化膜の誘 電率である。反転における電気的なシリコン酸化膜厚は、CV/I イントリンシックな遅延(注[16]参照)の計算に用いら れる。赤色/黄色は、EOT およびゲート空乏層と反転層膜厚の色付けに従う。

[5]Jg,limit は 25℃における最大許容ゲートリーク電流密度であり、ゲートを Vdd、ソース、ドレイン、基板を接地し測定した値である。Jg,limit は 1 μ m 当たりの目標サブスレッショルド・リーク電流 I_{sd,leakTGT}と関係し、I_{sd,leakTGT}はデバイス 幅 1um 当たりで LSTP は 30pA、LOP は 5nA に設定される。最大許容ゲートリーク電流密度は Jg,limit=[初期値]×[I_{sd,leakTGT}/(物理的ゲート長)]×[Hi T(温度)係数 / 回路係数]で表記される。LOP では"Hi T 係数"は「5」に設定されており、高温動作温度(室温より高いが Hi T 係数「10」の高性能ロジックで予想されている 100℃よりは低い)を考慮している。Hi T 係数は 高温になると急激に増加する I_{sd,leak}、と温度依存性のほとんどないゲートリーク電流(直接トンネル電流であるため)の双方から求めた。LSTP は、室温動作を仮定し、"Hi T 係数"は「1」に設定されている。"回路係数"は「1」に設定されており、I_{sd,leak} と Jg,limit が孤立単体トランジスタでの値であるのに対し、ロジックゲートでのサブスレショルドリークとゲートリーク電流の差から求めた。(NMOS の I_{sd,leak}([8]参照)と Jg,limit を決めたバイアス条件とは異なり、いろいろなゲート長のトランジスタで異なるバイアス条件から求めた)。ここでの"Hi T 係数"、"回路係数"、"初期値"の値は大まかな見積もりである。黄色と赤色は、EOT に従う(上記注[2]参照)。

[6] Vdd は電源電圧を表す。電源電圧は、ゲート絶縁膜の縦方向電界強度を適度に保ち、飽和駆動電流値の要求 を満たすために十分なオーバードライブ電圧[V_{dd}-飽和しきい値電圧(注[7]参照)]を得るよう選択されている。実際 の電源電圧は、特定の回路設計もしくは技術最適化によっては、この表に示された値から±10%(それ以上)変動する ことも考えられる。LSTP では、サブシュレショルドリークを低く抑える必要から飽和しきい値電圧が高くなるため、Vdd は比較的高くスケーリングも緩やかに進む。一方、LOP では、動作電力を低く抑える必要性から Vdd のスケーリング が急速に進む。 [7] Vt,sat は飽和しきい値電圧で、最小ゲート長のトランジスタでドレインに V_{dd}を印加した場合について MASTAR を 用いて求めた。しきい値電圧とこれに比例したサブスレショルドリーク電流(注[8]参照)は、飽和駆動電流値(注[9]参 照)の要求を満たすために十分なオーバードライブ電圧[V_{dd} – 飽和しきい値電圧]を得るよう選択されている。プレー ナーバルク CMOS では、黄色の色づけは基板の不純物濃度が 4e18cm-3 を越える(MASTAR による)ためであり、赤 色の色づけは 6e18cm-3 を越えるためである。これらの不純物濃度は閾値電圧を所望のレベルに設定し、短チャネ ル効果を制御するために必要となる。UTB-FD デバイスでは、Vt,sat と短チャネル効果抑制にたいへん薄いシリコン ボディ膜厚 (Tsi)の制御 (LOP で~7nm,LSTP では<7nm) が必要とされ、この難度が高く赤色で始まっている。DG MOSFET では、~0.6Lg と言われるフィン幅の決め方や制御方法などの難度が高く、始まりから赤色になっている。 必要とされる UTBFD-SOI のシリコンボディ膜厚や DG-MOSFET のフィン幅は MASTER から見積もられている。

[8]Ids,leak は サブスレッショルド・リーク電流値で、25℃で NMOSFET のドレインを Vdd、ソース、ゲート、基板を接地 し測定した単位チャネル幅当たりのソース電流である。NMOS の全オフ状態電流は、25℃における単位チャネル幅 当たりの NMOSFET のドレイン電流であり、サブスレッショルド・リーク電流とゲートリーク電流と接合リーク電流(バンド 間トンネリング電流や GIDL を含む)成分の総和である。25℃あるいは高温条件では、サブスレッショルド・リーク電流 は接合リーク電流よりも大きくなると仮定した。Isd,leak とゲートリーク電流密度の関係については注[5]を参照。黄色と赤 色は、Vt,sat(上記注[7]参照)が Isd,leak で決定することから Vt,sat の色に従っている。これら、サブスレッショルド・リー ク電流とゲートリーク電流と接合リーク電流のスケーリングは PMOS デバイスにも適用される。LSTP のサブスレッショ ルド・リーク電流の目標値である 30pA/um はキースケーリングゴールである。

[9] I_{d,sat} は飽和電流値で、25℃で NMOSFET のドレインとゲートを Vdd、ソース、基板を接地し測定した単位チャネル 幅当たりのドレイン電流である。飽和電流は従来のスケーリングを踏襲し年率約 17%のデバイス性能向上をできるだ け継続するように選択した(下記注[16]参照)。PMOS の飽和電流値は、NMOS の飽和電流値の(40-50)%と仮定した。 黄色/赤色の理由は以下の四項目である。寄生ソース/ドレイン直列抵抗 R_{sd}(下記注[13]参照)、反転における電 気的な酸化膜膜厚(注[4]参照)、移動度の要求値(注[10]参照)、バリスティック輸送による改善係数(注[12]参照)。

[10] 歪みによる移動度増倍係数はµratio=[倍増した移動度]/[リファレンスの移動度]で表され、[倍増した移動度]は 歪みによる増倍効果を含む移動度、[リファレンスの移動度] は増倍効果を含まない移動度である。資料によれば、 µratio は最大限 1.8¹⁰である。また、移動度の増倍技術は飽和電流の要求値を満たすため 2004 年¹¹より製品に適用 されており、それ故に拡張されたプレナーバルクの色付けは当初は白であった。しかしながら、文献では移動度の増 倍にはいろいろな手法があり、その中には SiGe エピ上の薄膜シリコン層によるグローバル歪み¹²、窒化膜のオーバ ーレイヤーによる歪、PMOS S/Dの SiGe や NMOS S/Dの SiC といった選択エピによるプロセス起因歪、バイブリット 結晶軸の使用などによる手法^{13,14}などが含まれる。MOSFET のスケーリングが進むに連れて、歪みの大きさを維持す るのがより難しくなってくるし、何が最も良い手法な何なのか またどのようにこれらのプロセスを組み立てるかなどがま だ明確にはなっていない。よって、Lg=20nm で黄色になっている。UTB-FDSOI と DG のいずれに於いても、赤色に なっている理由は、これらのデバイスで移動度を改善する方法が見つかっていない事による。

[11] Idsat のための移動度増倍係数 Id, ratio は、移動度倍増による飽和電流の改善度合いを表す。

この係数は [改善した Id,sat] / Id,ref=Id,ratio で定義される。ここで [改善した Id,sat]は増倍した移動度での飽和電流値を表し、Id,ref は増倍のない移動度での飽和電流値を表す。MASTAR で計算される Id,ratio は、移動度増倍係数 μ ratio(注[10]参照)の関数である。一般に、Id,ratio は短チャネル効果や速度オーバーシュートにより μ ratio より極めて小さな値となる。黄色または赤色の色づけは μ ratio のそれに従う。(注[10]参照)

[12]実効バリスティック増倍係数は、UTBFD-SOIや DG MOSFET に於いて極薄膜ボディ MOSFET のように大きくスケーリングが進んだ場合に(主にソースでのキャリア注入の倍増による)擬バリスティック輸送現象で Id,sat が増加するときの増倍率を表す。プレナーバルク CMOS ではおそらく不純物濃度が高くバリスティック輸送現象は生じない。この係数が1以上になると擬バリスティク輸送を表しており、この係数により飽和電流が要求値を満たすようになる。赤色の色づけは、トランジスタに対する擬バリスティック輸送のソリューションが見つかっていないことによる。

[13] R_{sd}は、チャネル幅 1 µ m 当たりの最大許容寄生直列ソース+ドレイン抵抗(両サイドのトータル抵抗)である. これ らの値は, 飽和電流値(注[9]参照)を満足するように縮小される。黄色/赤色は, FET TWG による コンタクト抵抗, サリサイド・シート抵抗およびドレイン・エクステンションのスケーリングの結果を反映している。Rsd の値は更新された 情報に基づき 2005ITRS より大きくなっている。

[14] $C_{g,ideal}$ は単位チャネル幅当たりの理想的なゲート容量。 $C_{g,ideal}$ =[ϵ_{ox} / (EOT_{elec})]×L_g, ここで ϵ_{ox} とは熱シリコン酸化 膜の誘電率, EOT_{elec} とは反転における電気的に換算した酸化膜膜厚(注[4]参照), L_g とは物理的なゲート長(注[1] 参照)。黄色/赤色は, EOT_{elec}(注[4]参照)に従う。

[15] $C_{g,total}$ は反転時の単位チャネル幅当たりの全ゲート容量。単位チャネル幅当たりの $C_{g,ideal}$ と寄生ゲートオーバー ラップ/フリンジ容量(Miller 効果を含む)。黄色/赤色は、 $C_{g,ideal}$ に従う。

[16] τ とは、25°Cにおける NMOS デバイスのイントリンシックなトランジスタ遅延時間で τ = ($C_{g,total} \times V_{dd}$)/ I_{d,sat_o} PMOSFET の τも同様に縮小されると仮定した。ただし、PMOS $I_{d,sat} \sim (0.4-0.5) \times (NMOS I_{d,sat})$ 。 τ はデバイスの本 質的なスイッチング遅延時間に対する良い尺度であり、1/τ はデバイスの本質的なスイッチング速度に対する良い尺 度である。赤色/ 黄色は、飽和電流(注[9]参照)および $C_{g,total}$ (注[15]参照)の両方に従う。

[17] 1/τは NMOS のイントリンシックなスイッチング速度である。赤色/黄色は、τに従う。

ロジックに対する解決策候補

技術要求の表における色付けで示された課題とその解決策候補とには強い相関関係がある(Figure PIDS5 参照)。多くの場合、技術要求表に示された赤色(量産における解決策はわかっていない)と黄色 (量産における解決策は知られている)は、それらの色によって示された課題に対する解決策候補の導入 する目標とする年に対応している。他の全体に関する重要点は、Figure PIDS5 で強調表示されており解決 策候補は重要な技術革新を含んでいる。これらの革新的なソリューションに関して、新規かつ従来とは異 なる信頼性評価、歩留まり、およびプロセスインテグレーションの課題を理解しそれらを扱うために、品質認 定/前量産の期間を一年半と設定している。High-k ゲート絶縁膜およびメタルゲート電極を除く有力なソ リューションの多くは、最初に高速ロジックトランジスタに要求される。ついには、半導体企業は今後 5 年間 以上にわたって要求されるきわめて多数の大きな技術革新:移動度向上技術(すでに導入されているがス ケーリングに伴い改善を続けることが必要)、High-k ゲート絶縁膜およびメタルゲート電極、準バリスティッ ク輸送が可能な極薄膜ボディ完全空乏型 SOI やマルチゲート MOSFET など、総合的な挑戦に直面する ことになる。

最初の解決策候補であるストレスによる移動度向上は、飽和電流の性能目標を達成するために必要と されている(ロジックの技術要求表には大きく改善された移動度が前提となっている)。この移動度向上は 2004 年に初めて高速ロジックトランジスタに導入されており、2005 年にローパワーロジックトランジスタに導 入されることが予定されている。様々なプロセス導入型ローカルストレインや、ゲルマニウムの含有率をコン トロールした SiGe 緩和層上もしくは SOI 基板上に成長した薄膜歪シリコン層を用いたグローバルストレイ ンなど、極めて多くのモビリティ向上技術が存在する。他には、ハイブリッド面方位(すなわち PMOSFET の モビリティは(110)面方位で最も高くなる)や、さらには歪み SiGe および Ge チャネルを用いる方法がある。 これらの解決策候補表は、NMOSFET および PMOSFET の両方の移動度を可能な最大の範囲まで高め、 移動度向上を最適に統合するプロセスフローの構築、ついには UTB SOI やマルチゲート MOSFET のような先進的なトランジスタへの移動度向上の導入まで、絶え間ない改善が必要であることを示唆している。 加えてプロセスによるストレス印加技術の効力がスケーリングと共に減少する事に対処するためにも、絶え 間ない改善が必要とされます。トランジスタ間のスペースがスケーリングにより小さくなってくると、S/D 部分 への embedded SiGe/SiC 技術や、ストレス SiN ライナーをトランジスタに被せる技術は、チャネル部へのス トレス誘起するのに有効でなくなってくる。

基本的な MOSFET 構造を 2007 年(高速ロジックトランジスタの物理ゲート長 25nm)以降まで十分に微 細化するために、現標準デバイスのゲートスタック(SiON ゲート絶縁膜とドープド Poly ゲート電極)を含む 重要な技術課題について触れておく必要がある。物理ゲート長が微細化されると、短チャネル効果抑制お よび飽和電流増大のためにゲート酸化膜換算膜厚(EOT)は相当分だけ薄膜化される。しかしながら、従 来から使用されている SiON ゲート絶縁膜の継続的な薄膜化は、直接トンネル電流の指数関数的な増加 によってゲートリーク電流が急増するという結果をもたらす(図 PIDS2-4 を参照)。加えて, 電気的な酸化膜 換算膜厚を増加するスケーリングされないゲート電極の空乏化と反転層効果によって、継続してきた EOT 減少の効果が限界となる。ある範囲での EOT に対する High-k 膜のゲートリーク電流密度は酸窒化膜と比 較してかなり小さいため、High-k ゲート絶縁膜はゲートリーク電流の低減という課題解決に有効なソリュー ションとなる。三種類のロジックトランジスタとも、High-k ゲート絶縁膜は 2008 年までに導入が必要であると 予測されている。(詳しくは、ロジック技術要求の章を参照) 三種類のロジックトランジスタとも、ゲート電極 の空乏化を効果的に抑制し、電気的ゲート酸化膜の薄膜化をリーク電流の許容範囲に抑えるために、メタ ルゲート電極もまた 2008 年に導入が必要であると予測されている。プレーナバルク CMOS のしきい値電 圧を適切な値に設定するために、PMOSFET に対してシリコン価電子帯端付近の仕事関数と NMOSFET に対してシリコン伝導帯端付近の仕事関数が必要とされる。そのため、PMOSFET と NMOSFET に対して それぞれ異なったゲート電極用物質がおそらく必要である。

スケーリングが進んだ場合、プレーナバルク CMOS デバイスの効果的なスケーリングは困難になる。特 に、短チャネル効果を効果的に制御することは、著しい問題となることが予想される。さらに、チャネルドー ピング濃度を極めて高い値へ増加させることが必要となり、その結果、移動度の低下およびドレイン-ボデ ィ間のバンドーバンド間トンネリングのため接合リーク電流の増加をもたらす。最後に、そのように小さな MOSFET のチャネルへの不純物の総数はかなり少なくなり、不純物の数や配置のランダムな揺らぎが大き くなる。その結果、しきい値電圧の統計的なゆらぎが許容できないほど大きくなる。こうした課題は、スケーリ ングが進むほど深刻になる。一つの解決策候補は、極薄膜完全空乏化(UTB-FD)SOI MOSFET の適用 である。プレーナバルク MOSFET ではチャネル不純物濃度でしきい値電圧を設定するが、UTBSOIトラン ジスタではチャネル不純物が比較的少なく、しきい値電圧はゲート電極の仕事関数で調整される。この場 合、しきい値電圧を望ましい値に設定するためには、ミッドギャップ付近の仕事関数を有するメタルゲート 電極が必要である。要求される仕事関数が異なるため、UTB-FDSOI に使用されるメタルゲート材料は、バ ルクプレーナに使用される材料とは違うものが使用されるであろう。実際、midgap からどちら側数百 meV 以内に整調可能な仕事関数を持つ 1 つの電極材料が可能であるかもしれません。低不純物濃度で完全 空乏型チャネルであり、しきい値電圧はゲート電極の仕事関数で制御されるため、UTB-FD SOI MOSFET はバルクプレーナ MOSFET と比較して、よりスケーリングに適しており、飽和電流を高くしやすいと考えら れる。シングルゲート UTB-FD SOI MOSFET は、2010年に高速ロジックトランジスタに適用されると予想さ れる。マルチゲートの極薄膜ボディ完全空乏化 MOSFET はより複雑であるとともによりスケーリング可能で あり、2011年に高速ロジックに適用されると計画されている。ゲート長が 20nm 以下に縮小されてくると、性 能改善要求(ロジック技術要求表の[12]を参照)を満たすには完全空乏型低不純物 MOSFET は MOSFET は、準バリスティック伝導による性能強化を必要とすることが見込まれる。これらの性能強化は散 乱の減少と、特にソース端でのキャリア注入の改善を通して得られるものである。ロードマップの終盤では、 キャリア輸送をさらに向上させるために高移動度物質(すなわち、ゲルマニウムや III-V 族、シリコンベース のナノワイヤーやカーボンナノチューブ)をチャネルに使用するというような、より先見的なソリューションが 適用されるであろう。

最後に、ロードマップの最後の年以降において、MOSFET のスケーリングは非効率、もしくは高コスト、 高価になると考えられ、非 CMOS (emerging research)デバイスもしくは回路/アーキテクシャが解決策候 補である(これらの詳細な議論は Emerging Research Devices 章を参照)。そのような解決策は、その時ま でに開発され導入されてきた高性能、低コスト、高密度なトランジスタを利用した CMOS 基盤技術と、機能 的もしくは物理的に集積化されるであろう。

	2007	2010	2013	2016	2019	2022
DRAM 1/2 Pitch	2008 200 65nm	19 2011 2 45nm	32nm	2017 20 22nm	018 2020 : 16nm	2021 11nm
Enhanced mobility (mainly strained Si) High-ĸ gate dielectric (all logic types) Metal gate electrode (all logic types) for planar bulk. Ultra-thin body, fully depleted (UTB FD) SOI MOSFET Metal gate electrodes for UTB FD SOI near midgap work function Multiple-gate MOSFETs (e.g., FinFets) Enhanced quasi-ballistic transport Enhanced transport channels: Ge, III-V, carbon nanotube, nanowire, Non-CMOS Logic Devices and Circuit/Architectures (see Emerging Research Devices Chapter)						
Research Required	Development	Underway	Qualification/Pre-	Production	Continuous Imp	rovement solution.

Figure PIDS5 Logic Potential Solutions

メモリーに対する技術要求と解決策候補

DRAM に対する技術要求と解決策候補

DRAM に対する技術要求は、スケーリングとともにますます厳しくなると予想されている(PIDS の表の 4aとb参照)。193nm 波長対応の ArF の液浸技術の関連するプロセスが、DRAM ハーフピッチ 60nm 以 下の DRAM を実現するためのキー技術である。しかしながら、STC および、トレンチキャパシタ構造を実 現するための量産技術に関しては、いくつかの重要な課題がある。キャパシタ形成工程・高アスペクトコン タクト加工工程での長いエッチング時間に対しフォトレジストが十分な耐性をもつことが必要とされる。これ らの課題を解決するためには、パターン転写のためのハードマスクを用いたフォトレジスト技術がますます 需要になってきている。更に、継続的なリソグラフィ技術および、エッチング技術の改善が必要である。

一方、周辺 CMOS 回路素子のスケーリングに従い、特に素子形成後のプロセスでは低温プロセス工程 が必要とされる。これは CMOS 素子が形成された後での低温プロセスが必要なスタック DRAM セルでの 大きな課題となる。また、セルアレーの平面構造のアクセストランジスタは、データ保持特性を満足するた めに、低レベルのサブスレショルドリーク電流と低レベルの拡散層リーク電流の実現が必要である。この為 に、リセスト・チャネル・セル MOSFET が 80nm 以下の DRAMHP の製品では使われている。加え、50nm 以降の世代では、低い動作電圧であっても高いドレイン電流を得るためにフィン構造の MOSFET が要求 される。他の要求としては、高い信頼性を持つ、セル MOSFET 用のゲート絶縁膜がある。高い電流の駆動 能力を実現するために、高い電圧に昇圧されたセル MOSFET のゲート電圧が必要されるためである。セ ル MOSFET では、サブスレッショルドの電流を低減するために高い閾値電圧となっていることも、昇圧のレ ベルを大きくすることが必要となる理由である。その結果、絶縁膜に印加されるゲート電界は高くなる。 DRAMのセル MOSFET のスケーリング、ワード線の昇圧レベルに関連するゲート電圧、セル MOSFETの 電界が、PIDS6 のグラフに示されている。ゲート絶縁膜の信頼性に関する課題から、EOT(実効酸化膜換 算膜厚)は、厚めに設定されており、その結果、実効電解は、スケーリングがあっても、図にしめされている 様にほぼ一定値となっている。他の DRAM に対するプロセス要求として、前工程プロセスでの素子分離 技術、低抵抗のワード線やビット線の低抵抗材料、自己整合の高アスペクトの加工技術、そして平坦化技 術、そして、Cu 配線が将来の高密度 DRAM には必要である。

DRAM のセルキャパシタはスケーリングと共に微細化され、キャパシタ絶縁膜の実効酸化膜換算膜厚 (ETO)は、セルに必要な電荷量を維持するために急激にスケーリングされなければならない。EOT をスケ ーリングするには、高い比誘電率(k)を持つ誘電体が必要となる。何社かは、既に、MIM (Metal Insulator Metal)構造キャパシタを使い始めている。その絶縁膜には HfSiO₂や Al₂O₃が(k~10-25)2006 年の DARAM HP の 70nm では使われている。2010 年には、MIM 構造で、より高い比誘電率を有する、ZrO₂ 構造が使われるだろう。更にその先では、50を超える比誘電率を有する材料が必要となる(PIDS8 を参照)。 また、この様な高いk値を持った絶縁材料の物理膜厚はセル内の最小寸歩に合うように縮小される必要が ある。十分なセル電荷量の確保を維持するには、DRAM の継続的なスケーリングのためにますます困難 な要求を提起することになるであろう。ストレージノードのキャパシタ絶縁膜のスケーリング、DRAM のセル 電圧、実効酸化膜換算電界は、図 PIDS7 に示されている。この図に示されているように、キャパシタ絶縁 膜の電界は、EOT の薄膜化にともないスケーリングとともに増大する。

チップサイズを DRAM のビット容量が増加しても概ね同じチップ面積を維持するためには、チップコストの観点からの検討が極めて重要である。これを実現するためには、セルサイズファクター"a"の縮小が極めて重要である。2006 年には、サイズファクター"a"として"6"が、先行 2 社以上で使われており、更に多くの会社が"6"の検討を進めている。セルサイズファクター"a"が"8"から"6"にかわると、セル領域のチップ面

積の中に占める面積は、セルの面積が小さくなっても、周辺回路部の面積は変化がないことからセル効率は 63%から 56%に減る。2007年版の DRAM の Table4a および、4b には、セルサイズファクター"a"の"4" はその現実性がすくなないことから削除されている。しかしながら、いくつかの研究報告がされている。

Y . D I .	2007	2000	2000	-	2011	2012	2012	2014	2015
Year in Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) [1]	68	58	50	45	40	36	32	30	25
$DRAM$ cell size (μm^2) [2]	0.0277	0.0202	0.0150	0.0122	0.0096	0.0078	0.0061	0.0054	0.0038
DRAM storage node cell capacitor dielectric: equivalent oxide thickness EOT (nm) [3]	1.2	0.90	0.80	0.60	0.50	0.40	0.30	0.30	0.30
DRAM storage node cell capacitor voltage (V) [4]	0.65	0.65	0.60	0.60	0.55	0.55	0.5	0.50	0.45
Equivalent Electric field of capacitor dielectric, (MV/cm) [5]	5.7	7.2	7.5	10.0	11.0	13.8	16.7	16.7	15.0
DRAM cell FET structure [6]	RCAT	RCAT	RCAT	FinFET	FinFET	FinFET	FinFET	FinFET	FinFET
DRAM cell FET dielectric: equivalent oxide thickness, EOT (nm) [7]	5.0	5.0	4.5	4.0	4.0	4.0	4.0	4.0	4.0
Maximum Wordline (WL) level (V) [8]	3.0	2.8	2.7	2.7	2.7	2.7	2.6	2.6	2.4
Negative Wordline (WL) use [9]	yes	yes							
Equivalent Electric field of cell FET device dielectric (MV/cm) [10]	6.00	5.60	6.00	6.75	6.75	6.75	6.50	6.50	6.00
Cell Size Factor: a [11]	6	6	6	6	6	6	6	6	6
Array Area Efficiency [12]	0.56	0.56	0.56	0.56	0.56	0.56	0.56	0.56	0.56
Minimum DRAM retention time (ms) [13]	64	64	64	64	64	64	64	64	64
DRAM soft error rate (fits) [14]	1000	1000	1000	1000	1000	1000	1000	1000	1000
V _{int} (support FET voltage) [V] [15]	1.3	1.2	1.1	1.1	1.1	1.1	1.1	1.0	0.9
Support nMOS EOT [nm] [16]	3.2	3	2.6	2.6	2.5	2.2	2	1.8	1.6
Support PMOS Gate Electrode [17]	P+Poly/W	TiN	TiN						
Support Gate Oxide [18]	SiON	SiON	SiON	SiON	SiON	SiON	HfSiON	HfSiON	HfSiON
Support min. L _{gate} for NMOS FET, physical [nm] [19]	100	90	75	75	65	60	50	48	40
Support $I_{sat-n} [\mu A/\mu m]$ (25C, $V_g = V_d = V_{int}$) [20]	500	465	470	450	410	430	450	445	440
Support min. V_{tn} (25C, $G_{m,max}$, V_d =50mV) [21]	0.40	0.40	0.38	0.37	0.37	0.33	0.33	0.31	0.31
Support $I_{sat-p} [\mu A/\mu m]$ (25C, $Vg=V_d=-V_{int}$) [22]	220	210	220	210	165	170	175	170	190
Support min. V_{tp} (25C, $G_{m,max}$, V_d =50mV) [23]	-0.45	-0.40	-0.38	-0.38	-0.38	-0.34	-0.34	-0.32	-0.32

Table PIDS4aDRAM Technology Requirements—Near Term

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Table PIDS4b

DRAM Technology Requirements—Long Term

Year in Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) [1]	22	20	18	16	14	13	12
DRAM cell size (μm^2) [2]	0.0029	0.0024	0.0019	0.00154	0.00118	0.00101	0.00086
DRAM storage node cell capacitor dielectric: equivalent oxide thickness EOT (nm) [3]	0.30	0.30	0.30	0.25	0.20	0.15	0.12
DRAM storage node cell capacitor voltage (V) [4]	0.45	0.4	0.4	0.35	0.35	0.35	0.35
Equivalent Electric field of capacitor dielectric, (MV/cm) [5]	15.0	13.3	13.3	14.0	17.5	23.3	29.2
DRAM cell FET structure [6]	FinFET	FinFET	FinFET	FinFET	FinFET	FinFET	FinFET
DRAM cell FET dielectric: equivalent oxide thickness, EOT (nm) [7]	3.5	3.5	3.5	3.5	3.5	3.5	3.5
Maximum Wordline (WL) level (V) [8]	2.3	2.3	2.3	2.0	2.0	2.0	2.0
Negative Wordline (WL) use [9]	yes	yes	yes	yes	yes	yes	yes
Equivalent Electric field of cell FET device dielectric (MV/cm) [10]	6.57	6.57	6.57	5.71	5.71	5.71	5.71
Cell Size Factor: a [11]	6	6	6	6	6	6	6
Array Area Efficiency [12]	0.56	0.56	0.56	0.56	0.56	0.56	0.56
Minimum DRAM retention time (ms) [13]	64	64	64	64	64	64	64
DRAM soft error rate (fits) [14]	1000	1000	1000	1000	1000	1000	1000
Vint (support FET voltage) [V] [15]	0.9	0.9	0.9	0.9	0.9	0.7	0.7
Support nMOS EOT [nm] [16]	1.5	1.4	1.4	1.3	1.3	1.3	1.2
Support PMOS Gate Electrode [17]	TiN	TiN	TiN	TiN	TiN	TiN	TiN
Support Gate Oxide [18]	HfSiON	HfSiON	HfSiON	HfSiON	HfSiON	HfSiON	HfSiON
Support min. Lgate for NMOS FET, physical [nm] [19]	35	31	28	25	23	21	19
Support $I_{sat-n} [\mu A/\mu m]$ (25C, $V_g = V_d = V_{int}$) [20]	480	550	550	550	550	550	550
Support min. V_{tn} (25C, $G_{m,max}$, V_d =55mV) [21]	0.31	0.31	0.31	0.31	0.31	0.31	0.31
Support $I_{sat-p} \left[\mu A / \mu m \right]$ (25C, $V_g = V_d = -V_{int}$) [22]	215.00	215.00	215.00	215.00	215.00	215.00	215.00
Support min. V_{tp} (25C, $G_{m,max}$, V_d =55mV) [23]	-0.32	-0.32	-0.32	-0.32	-0.32	-0.32	-0.32

Table PIDS4aとPIDS4b に対する注釈

[1] ORTC (Overall Roadmap Technology Characteristics) Table1a および 1b に基づく。DRAM のハーフピッチは、 2006 年での開発の加速がないことから 2006 年版 ITRS と同じ。

[2] DRAM のセル・サイズは前工程(FEP)の章で詳細に議論されているように DRAM のビット容量とチップサイズか ら決定されている。ビット容量は ORTC Table1a および 1b に基づいている。DRAM のビット容量とチップサイズは大 変アグレッシブであるため、セル・サイズも積極的にスケーリングされるとしている。困難な点は、セルサイズファクター "a"(=セル・サイズ/F²)(F は DRAM のハーフピッチ)の縮小にあるだろう。"a"の値として DRAM ハーフピッチ 68nm 以降では"6"となっている。

[3] キャパシタ実効酸化膜換算膜厚(ETO)は、物理膜厚/[k/3.9]で定義される。ここで k はストレージキャパシタ絶縁 間膜の比誘電率であり、3.9 は、SiO₂ の比誘電率である。EOT の値は、FEP(Front End Process)章で議論されている 様に DRAM のビット容量(チップ当たりのビット数)および、チップサイズによってドライブがかけられる。FEP の章で 使われているビット容量とチップサイズは、ORTC の Table1a および 1b が元になっている。ビット容量とチップサイズ は、極めてアグレッシブであるため EOT は、積極的にスケーリングされる必要がある。2009 年までは、絶縁材料は、

Al₂O₃あるいは HfSiO₂がベースとなっている。それゆえ色は白色である。2009 年以降は、MIM 構造と高い誘電率 40 を持つキャパシタが必要とされる。 膜厚としては 9nm が必要とされる。そのため色は黄色である。2012 年以降に関しては、知られている解は不明のため色は赤である。それぞれの年で要求される、キャパシタ絶縁膜厚は、セルの高さ、 絶縁膜のリーク電流、コンタクトの形成プロセスなどの 3 次元構造に依存する。

[4] DRAM のストレージノードキャパシタの電圧は、EOTの膜厚の逆数に依存するストレージノードキャパシタンスの リーク電流を小さくし、かつ蓄えられるチャージが十分になるよう設定される。

[5] キャパシタ絶縁膜の電界は、DRAM キャパシタ電圧をストレージノードの酸化膜換算膜厚で割った値である。絶縁膜が SiO2であれば、その電界がキャパシタ絶縁膜電界である。高誘電膜であれば、等価電界/[k/3.9]がキャパシタ

絶縁膜電界である。スケーリングと共に電界は増大し 2009 年には色は黄色となる。2007 年の電界は 7.5MV/cm である。2012 年にはその値は 13.75MV/cm となる。

[6] DRAMのセルFETの構造はRCAT(Recessed Channel Array Transistor)からFinFETに向けて動く。RCATは、 リテンション時間を改善するリセス構造を採用することで、局所電解を緩和するトランジスタである。FinFETは、限られたセル領域で電流駆動能力を増大させるために、採用される。そして、リテンションタイムも改善される。

[7] EOT は、絶縁膜の物理膜厚を[k/3.9]で割った値である。ここで k は DRAM セル FET のゲート絶縁膜の比誘電率、3.9 は、SiO2 の比誘電率である。EOT の値は、高いワードライン電圧に絶縁膜に印加される電界を許容値以下に設定する必要があることから厚くなっている。

[8] 最大のワードライン電圧は、セルデバイスために昇圧されたセル MOSFET のゲート電圧となっている。その高い ゲート電圧は、動作状態で、バックゲートバイアス効果で上昇している比較的高い閾電圧に対しても、十分なセル MOSFETの電流を得るために必要である。

[9] 負のワードライン電圧は、たとえ閾値電圧が低い場合でも、サブスレッショルド電流を抑制するために使用される。 セルの MOSFET の低い閾電圧は高い駆動電流を得るために有効である。

[10] セル MOSFET の絶縁膜の電界は、最大のワード線電圧を EOT (酸化膜等価膜厚)で割った値である。

[11] セルサイズファクター"a"は DRAM セルサイズ/ F²である。ここで F は、DRAM のハーフピッチである。2007 年以降の"a"は"6"である。ちなみに、2005 年版での、2005、2006、2007 年の"a"は"8"であった。

[12] セルアレー効率は、セルアレーの面積のチップ面積に対する比率である。それゆえ、アレー効率は次式で与えられる。アレー効率=1/(1+[周辺回路面積]/[NaF²])。ここで、N は DRAM のビット容量(チップ当たりのビット数)である。F は、DRAM のハーフピッチ。そして"a"は、セルサイズファクターである。"a"が 8 の時、セルアレー効率は 0.63 と見積もられているため、2007 年以降"a"が 6 になると、アレー効率は小さくなり、0.56 となる。このとき周辺回路の面積は、"8"の場合と同じとしている。

[13] 保持時間は 85℃ ¬で定義され、メモリのデータを列アドレスによるリフレッシュをせずに正確に読み取ることがで きる最小の時間である。ここに指定された 64ms は PC 適用のために必要とされる値である。保持時間は、素子のリー ク電流、信号強度、センス回路の感度の相互作用に依存し、さらにオペレーション周波数および温度に依存する。

[14] これは典型的な FIT レートである。そして、サイクル時間そして、セル容量と、センス回路に依存する。

[15] Vint は周辺回路用の電圧である。その電圧は、十分な、オーバードライブを与えるために必要な電圧、ゲート電界を保持するために、十分な電圧に設定される。

[16] DRAMの周辺とランジスタの EOT は、物理膜厚/[k/3.9]で定義される。ここで k はストレージキャパシタ絶縁間膜の比誘電率であり、3.9 は、SiO2の比誘電率である。

[17] 周辺回路 PFET のトランジスタのゲート材料は、P+poly/W から TiN へ移行する。

[18] 周辺回路のゲート絶縁膜材料は、SiONから、HfSiONへ移行する。

[19] 周辺回路 NFET の物理的な最小ゲート長 Lg は、ゲートエッチングの最終の底部の寸法である。

[20] 周辺回路の Idsat-n (NFET の飽和電流)は、ミクロン幅あたりのドレイン電流として定義される。この電流は、25℃、 Vd=Vg=Vint で評価される。

[21] 周辺回路の Vtn は、25℃、基板バイアス無し、Gm max、Vd=50mV の時のゲート電圧 Vg である。

[22] 周辺回路の Idsat-p(PFET の飽和電流)は、ミクロン幅あたりのドレイン電流として定義される。この電流は、25℃、 Vd=Vg=-Vintで評価される。

[23] 周辺回路の Vtp は、25℃、基板バイアス無し、Gm max、Vd=50 mV の時のゲート電圧 Vg である。



Figure PIDS6 Cell FET Devices



Figure PIDS7 Storage Node Capacitor



Figure PIDS8

DRAM Potential Solutions

不揮発性メモリーに対する技術要求

不揮発性メモリーはいくつかの共通した技術から構成されているが、「不揮発性」という共通した1つの 特徴を有している。技術要求と挑戦は応用によって異なり、KB(キロバイト)記憶容量で十分な RFID から 1 チップで数十 Gb(ギガビット)の高密度記憶までの範囲に渡る。技術要求表は以下の 3 つのカテゴリー に分けられており、NAND Flash, NOR Flash, 非電荷蓄積メモリーである。それぞれのカテゴリーは 1 つ以 上の方式を含んでいる。例えば、NOR Flash メモリーは、フローティング・ゲート・デバイスと電荷トラップ・デ バイスであり、それぞれ独自の設計ルールとスケーリング・トレンドを有している。技術の進展によって最適 な容量と性能は複数の方向により実現されるために、同様の応用に対する異なった技術の重複と継続は 特有のものとして示されている。

それぞれの技術に関する情報は、3 つのカテゴリーで構成されている。それぞれの技術の技術要求表 は、第一に密度項目を取り扱う。適用可能な寸法"F"が定義され、期待される面積係数"a"(セル面積に必 要な単位 F²の倍数値)が与えられる。第二に、それぞれの固有技術に対して重要ないくつかのパラメータ であり、ゲート長、書込-消去電圧最高値、物性パラメータなどが表に示されている。これらのパラメータは、 スケーリング・モデルと挑戦分野を同定することに対して重要である。第三に、繰返し耐性(消去-書込サイ クルまたは読出-書込サイクル)と保持が表示されている。繰返し耐性と保持は、不揮発性メモリー技術に 対して固有の技術要求であり、エンド・ユーザーの観点からデバイス実用性を決定する。

Table PIDS5a,b は、NAND Flash, NOR Flash, 非電荷蓄積メモリーの短期と長期の技術要求をそれぞ れ示している。表には CMOS のハーフ・ピッチと実際に不揮発メモリーセルを形成するために用いられる 寸法(不揮発性メモリー技術の"F"を nm 単位で)の両方が示されている。同じ年でみて不揮発性メモリー のハーフ・ピッチは、DRAM や CMOS ロジック・デバイスのものとずれが生じていた。NAND 技術の急速な 進展によって近年逆転傾向となっており、DRAM よりも NAND によって設計ルールが挑戦的に縮小され ている。

S5a Non-volatile Memory Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	68	58	50	45	40	36	32	30	25
NAND Flash poly ½ Pitch (nm)	51	45	40	36	32	28	25	22	20
NAND Flash	•	•	•	•	•				
NAND Flash technology – F (nm) [1]	51	45	40	36	32	28	25	22	20
Number of word lines in one NAND string [2]	32	32	64	64	64	64	64	64	64
Cell type (FG, CT, 3D, etc.) [3]	FG	FG	FG	FG/CT	СТ	СТ	CT-3D	CT-3D	CT-3D
3D NAND number of memory layers	1	1	1	1	1	1	2	2	2
A. Floating Gate NAND Flash									
Cell size – area factor a in multiples of F ² SLC/MLC [4]	4.0/2.0	4.0/2.0	4.0/1.3	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0
Tunnel oxide thickness (nm) [5]	6-7	6-7	6-7	6-7	6-7	6-7	6-7	6-7	6-7
Interpoly dielectric material [6]	ONO	ONO	ONO	ONO	ONO	High-к	High-к	High-к	High-к
Interpoly dielectric thickness (nm)	10-13	10-13	10-13	10-13	10-13	9-10	9-10	9-10	9-10
Gate coupling ratio (GCR) [7]	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7
Control gate material [8]	n-Poly	n-Poly	n-Poly	n-Poly	n-Poly	Poly/metal	Poly/metal	Poly/metal	Metal
Highest W/E voltage (V) [9]	17-19	17-19	15-17	15-17	15-17	15-17	15-17	15-17	15-17
Endurance (erase/write cycles) [10]	1.E+05	1.E+05	1.E+05	1.E+05	1.E+05	1.E+05	1.E+05	1.E+05	1.E+05
Nonvolatile data retention (years) [11]	10-20	10-20	10-20	10-20	10-20	10-20	10-20	10-20	10-20
Maximum number of bits per cell (MLC) [12]	2	2	3	4	4	4	4	4	4
B. Charge trapping NAND Flash (MANOS o	or Barrier Eng	ineering) [13]					<u> </u>	
Cell size—area factor a in multiples of F ² SLC/MLC				4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0
Tunnel dielectric material [14]				SiO ₂ or ONO	SiO₂ or ONO	SiO₂ or ONO	SiO₂ or ONO	SiO₂ or ONO	SiO₂ or ONO
Tunnel dielectric thickness EOT (nm)				3-4	3-4	3-4	3-4	3-4	3-4
Blocking dielectric material [15]				SiO ₂ or Al ₂ O ₃	$SiO_2 \text{ or } Al_2O_3$				
Blocking dielectric thickness EOT (nm)				6–8	6–8	6–8	6–8	6–8	6–8
Charge trapping layer material [16]				SiN	SiN	SiN	SiN	SiN	SiN
Charge trapping layer thickness (nm) [17]				5–7	5–7	5–7	5–7	5–7	4–6
Gate material [18]				p- Poly/Metal	p- Poly/Metal	p- Poly/Metal	p- Poly/Metal	p- Poly/Metal	Metal
Highest W/E voltage (V)				15-17	15-17	15-17	15-17	15-17	15-17

 Table PIDS5a
 Non-volatile Memory Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	68	58	50	45	40	36	32	30	25
NAND Flash poly ½ Pitch (nm)	51	45	40	36	32	28	25	22	20
Endurance (erase/write cycles) [19]				1.E+05	1.E+05	1.E+05	1.E+05	1.E+05	1.E+05
Nonvolatile data retention (years) [20]				10-20	10-20	10-20	10-20	10-20	10-20
Maximum number of bits per cell (MLC)				4	4	4	4	4	4
NOR Flash									
NOR Flash technology – F (nm) [21]	65	57	50	45	40	35	32	28	25
A. Floating gate NOR Flash									
Cell size—area factor a in multiples of F ² [22], [23], [24], [25]	9-11	9-11	9-11	9-11	9-11	9-11	9-11	9-11	9-11
Gate length L _g , physical (nm) [26]	130	120	100	90	80	70	64	56	50
Tunnel oxide thickness (nm) [27]	8–9	8–9	8–9	8	8	8	8	7 - 8	7 - 8
Interpoly dielectric material [28]	ONO	ONO	ONO	ONO	ONO	ONO	High-к	High-к	High-к
Interpoly dielectric thickness EOT (nm)	13-15	13-15	13-15	13-15	13-15	13-15	8-10	8-10	8-10
Gate coupling ratio [29]	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7
Highest W/E voltage (V) [30]	7-9	7-9	7-9	7-9	7-9	7-9	6-8	6-8	6-8
$I_{read}(\mu A)$ [31]	25-34	23-31	21-27	20-26	19-25	17-22	15-20	14-19	13-18
Endurance (erase/write cycles) [32]	1.00E+05	1.00E+05	1.00E+05	1.00E+06	1.00E+06	1.00E+06	1.00E+06	1.00E+06	1.00E+06
Nonvolatile data retention (years) [33]	10–20	10–20	10–20	10–20	10–20	10–20	20	20	20
Maximum number of bits per cell (MLC) [34]	2	2	2	2	2	2	2	2	2
Array architecture (with cell contact (CC) or virtual ground (VG))[35]	сс	сс	сс	сс	сс	сс	CC/VG	CC/VG	CC/VG
B. Charge trapping NOR Flash (SONOS/NR	2OM) [36]								
SONOS/NROM technology, F (nm)	65	57	50	45	40	35	32	28	25
SONOS/NROM cell size - area factor a in multiples of F^2	6-7	6-7	6-7	6-7	7-8	7-8	7-8	7-8	8-9
Cell size (per bit) – area factor a in multiples of F ² (SLC/MLC) [37]	3.3/1.6	3.3/1.6	3.3/1.6	3.3/1.6	3.7/1.9	3.7/1.9	3.7/1.9	3.7/1.9	4.3/2.2
Gate length Lg, physical (nm) [38]	140	130	120	110	110	100	100	90	90
Tunnel oxide thickness (nm) [39]	5	5	5	4.5	4.5	4.5	4	4	4
Charge trapping layer thickness (nm) [40]	5-7	5-7	5-7	4-6	4-6	4-6	4-6	4-6	4-5
Blocking (top) dielectric thickness EOT (nm) [41]	7–9	7–9	7–9	6–8	6–8	6–8	6–8	6–8	5–7
Highest W/E voltage (V)	7-9	7-9	7-9	6-8	6-8	6-8	6-8	5–7	5–7
I _{read} (μA) [31]	25-34	23-31	21-27	20-26	19-25	17-22	15-20	14-19	13-18
Endurance (erase/write cycles) [32]	1.00E+05	1.00E+05	1.00E+05	1.00E+06	1.00E+06	1.00E+06	1.00E+06	1.00E+06	1.00E+06
Nonvolatile data retention (years) [33]	10–20	10–20	10–20	10–20	10–20	10–20	10–20	10–20	10–20
Maximum number of bits per cell (physical 2-bit/cell + MLC) [37]	4	4	4	4	4	4	4	4	6

Table PIDS5a	Non volatila Mamory	Technolom, Requirements	Noar torm Voars
Tuble TIDSJu	Non-volulle Memory	rechnology Requirements-	-wear-ierm rears

			-	0.					
Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	68	58	50	45	40	36	32	30	25
NAND Flash poly ½ Pitch (nm)	51	45	40	36	32	28	25	22	20
Non-charge-storage NVM								-	
A. FeRAM (Ferroelectric RAM)									
FeRAM technology – F (nm) [42]	180	180	180	130	130	130	90	90	90
FeRAM cell size – area factor a in multiples of F ² [43]	22	22	22	20	20	20	16	16	16
FeRAM cell size (μm^2)	0.713	0.713	0.713	0.450	0.450	0.450	0.270	0.270	0.270
FeRAM cell structure [44]	2T2C	1T1C							
FeRAM capacitor structure [45]	stack								
FeRAM capacitor footprint (μm^2) [46]	0.330	0.330	0.330	0.200	0.200	0.200	0.106	0.106	0.106
FeRAM capacitor active area (μm^2) [47]	0.330	0.330	0.330	0.200	0.200	0.200	0.106	0.106	0.106
FeRAM cap active area/footprint ratio [48]	1.00	1.00	1.00	1.00	1.00	1.00	1.00	1.00	1.00
Ferro capacitor voltage (V) [49]	1.50	1.50	1.50	1.20	1.20	1.20	1.20	1.20	1.20
FeRAM minimum switching charge density $(\mu C/cm^2)$ [50]	13.5	13.5	13.5	20	20	20	34	34	34
FeRAM endurance (read/write cycles) [51]	1.0E+14	1E+14	1E+14	1E+14	1E+14	1E+14	1E+15	1E+15	1E+15
FeRAM nonvolatile data retention (years)	10 Years								
B. MRAM (Magnetic RAM)									
MRAM technology F (nm) [52]	90	65	65	45	45	45	32	32	32
MRAM cell size area factor a in multiples of F^2	20	22	19	20	18	18	19	17	17
MRAM typical cell size (μm^2)	0.16	0.09	0.08	0.041	0.036	0.036	0.019	0.017	0.017
MRAM switching field (Oe) [53]	35	35	35	35	35	35	35	35	35
MRAM write energy (pJ/bit) [54]	70	35	35	25	25	25	20	20	20
MRAM active area per cell (μm^2) [55]	0.05	0.025	0.025	0.013	0.013	0.013	0.009	0.009	0.009
MRAM resistance-area product (KOhm- (μm^2) [56]	2	1.1	1	0.8	0.8	0.8	0.6	0.6	0.6
MRAM magnetoresistance ratio (%) [57]	70	70	70	70	70	70	70	70	70
MRAM nonvolatile data retention (years)	>10	>10	>10	>10	>10	>10	>10	>10	>10
MRAM write endurance (read/write cycles)	>3e16								
MRAM endurance – tunnel junction reliability (years at bias) [58]	>10	>10	>10	>10	>10	>10	>10	>10	>10

Tahle	PIL	S5a
IUDIE	1 ID	'ssu

Non-volatile Memory Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	68	58	50	45	40	36	32	30	25
NAND Flash poly ½ Pitch (nm)	51	45	40	36	32	28	25	22	20
C. PCRAM (Phase-Change RAM)									
PCRAM technology F (nm) [58]	72	58	46	40	35	32	28	25	22
PCRAM cell size area factor a in multiples of F ² (BJT access device) [59]	4.8	4.0	4.0	4.0	4.0	4.0	4.0	4.0	4.0
PCRAM cell size area factor a in multiples of F ² (nMOSFET access device) [60]	15.0	14.0	12.0	11.0	10.0	8.9	8.8	8.4	7.4
PCRAM typical cell size (nm ²) (BJT access device) [61]	24883	13456	8464	6400	4900	4096	3136	2500	1936
PCRAM typical cell size (nm ²) (nMOSFET access device) [62]	77760	47096	25392	17600	12250	9114	6899	5250	3582
PCRAM number of bits per cell (MLC) [63]	1	1	2	2	2	4	4	4	4
PCRAM typical cell area per bit size (µm ²) (BJT access device) [64]	24883	13456	4232	3200	2450	1024	784	625	484
PCRAM typical cell area per bit size (µm ²) (nMOSFET access device) [65]	77760	47096	12696	8800	6125	2278	1725	1313	895
PCRAM storage element CD (nm) [66]	45	36	30	25	22	20	18	16	14
PCRAM phase change volume (nm ³) [67]	373,000	195,000	112,000	64,000	43,000	33,000	25,000	18,000	12,000
PCRAM reset current (µA) [68]	235	170	130	100	80	70	62	52	43
PCRAM set resistance (KOhm) [69]	3.54	4.57	5.68	7.08	8.29	9.21	10.20	11.66	13.56
PCRAM BJT current density (A/cm ²) [70]	1.50E+07	1.60E+07	1.70E+07						
PCRAM BJT emitter area (nm ²) [71]	4072	2642	1662	1257	962	804	616	491	380
PCRAM nMOSFET apparent current density for reset (μA/nm) [72]	1.5	1.5	1.8	1.8	1.8	2.1	2.1	2.1	2.4
PCRAM nMOSFET apparent device width (nm) [73]	239	171	108	82	68	51	43	36	26
PCRAM nonvolatile data retention (years) [74]	>10	>10	>10	>10	>10	>10	>10	>10	>10
PCRAM write endurance (read/write cycles) [75]	1.0E+08	1.0E+08	1.0E+10	1.0E+10	1.0E+10	1.0E+12	1.0E+12	1.0E+12	1.0E+15

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20					
NAND Flash poly ½ Pitch (nm)	19	18	16	14	13	11	10
NAND Flash		1	1				
NAND Flash technology - F (nm) [1]	19	18	16	14	13	11	10
Number of word lines in one NAND string [2]	64	64	64	64	64	64	64
Cell type (FG, CT, 3D, etc.) [3]	CT-3D						
3D NAND number of memory layers	2	2	4	4	4	4	4
A. Floating Gate NAND Flash							
Cell size – area factor a in multiples of F ² SLC/MLC [4]	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0
Tunnel oxide thickness (nm) [5]	4	4	4	4	4	4	4
Interpoly dielectric material [6]	High-к						
Interpoly dielectric thickness (nm)	9-10	9-10	9-10	9-10	9-10	9-10	9-10
Gate coupling ratio (GCR) [7]	0.6–0.7	0.6–0.7	0.6–0.7	0.6-0.7	0.6-0.7	0.6-0.7	0.6-0.7
Control gate material [8]	Metal						
Highest W/E voltage (V) [9]	15-17	15-17	15-17	15-17	15-17	15-17	15-17
Endurance (erase/write cycles) [10]	1.E+04						
Nonvolatile data retention (years) [11]	5-10	5-10	5-10	5-10	5-10	5-10	5-10
Maximum number of bits per cell (MLC) [12]	4	4	4	4	4	4	4
B. Charge trapping NAND Flash (MANOS or Barr	ier Engineering	g) [13]					
Cell size – area factor a in multiples of F ² SLC/MLC	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0
Tunnel dielectric material [14]	SiO ₂ or ONO	SiO₂ or ONO	SiO₂ or ONO	SiO₂ or ONO	SiO₂ or ONO	SiO₂ or ONO	SiO₂ or ONO
Tunnel dielectric thickness EOT (nm)	3-4	3-4	3-4	3-4	3-4	3-4	3-4
Blocking dielectric material [15]	SiO ₂ or Al ₂ O ₃						
Blocking dielectric thickness EOT (nm)	6–8	6–8	6–8	6–8	6–8	6–8	6–8
Charge trapping layer material [16]	SiN / High- κ	SiN / High- ĸ	SiN / High- ĸ				
Charge trapping layer thickness (nm) [17]	4–6	4–6	4–6	4–6	4–6	3-4	3-4
Gate material [18]	Metal						
Highest W/E voltage (V)	15-17	15-17	15-17	15-17	15-17	15-17	15-17
Endurance (erase/write cycles) [19]	1.E+04						
Nonvolatile data retention (years) [20]	5-10	5-10	5-10	5-10	5-10	5-10	5-10
Maximum number of bits per cell (MLC)	4	4	4	4	4	4	4

 Table PIDS5b
 Non-volatile Memory Technology Requirements—Long-term Years

Table DIDC5h	Non volatila Mamony'	Tachnolom	Doguinamonta	Long town Vogue
Tuble FIDSJU	Non-volulle Memory	<i>Technology</i> .	Keguiremenis—	Long-lerm rears

		-		-	-		
Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20					
NAND Flash poly ½ Pitch (nm)	19	18	16	14	13	11	10
NOR Flash							
NOR Flash technology – F (nm) [21]	22	20	18	16	14	12	10
A. Floating gate NOR Flash							
Cell size – area factor a in multiples of F ² [22], [23], [24], [25]	10-13	10-13	10-13	10-13	10-13	10-13	10-13
Gate length Lg, physical (nm) [26]	44	40	36	32	28	24	20
Tunnel oxide thickness (nm) [27]	7 - 8	7 - 8	7 - 8	7 - 8	7 - 8	7 - 8	7 - 8
Interpoly dielectric material [28]	High-к						
Interpoly dielectric thickness EOT (nm)	8-10	8-10	7-9	6-8	6-8	6-8	6-8
Gate coupling ratio [29]	0.6–0.7	0.6–0.7	0.6–0.7	0.6-0.7	0.6-0.7	0.6-0.7	0.6-0.7
Highest W/E voltage (V) [30]	6-8	6-8	6-8	6-8	6-8	6-8	6-8
I _{read} (μA) [31]	12–17	11–16	10–15	9-14	8-13	7-12	6-10
Endurance (erase/write cycles) [32]	1.00E+07						
Nonvolatile data retention (years) [33]	20	20	20	20	20	20	20
Maximum number of bits per cell (MLC) [34]	2	2	2	2	2	2	2
Array architecture (with cell contact (CC) or virtual ground (VG))[35]	CC/VG						
B. Charge trapping NOR Flash (SONOS/NROM) [3	86]						
SONOS/NROM technology, F (nm)	22	20	18	16	14	12	10
SONOS/NROM cell size - area factor a in multiples of F ²	8-9	8-9	8-9	9-10	9-10	9-10	9-10
Cell size (per bit) – area factor a in multiples of F ² (SLC/MLC) [37]	4.3/2.2	4.3/2.2	4.3/2.2	4.8/2.4	4.8/2.4	4.8/2.4	4.8/2.4
Gate length Lg, physical (nm) [38]	80	80	70	70	70	60	60
Tunnel oxide thickness (nm) [39]	4	4	4	3.5	3.5	3.5	3.5
Charge trapping layer thickness (nm) [40]	4-5	4-5	4-5	4	4	4	4
Blocking (top) dielectric thickness EOT (nm) [41]	5–7	5–7	5–7	5–7	5–7	5–7	5–7
Highest W/E voltage (V)	5–7	5–7	5–7	5–7	5–7	4-6	4-6
I _{read} (μA) [31]	12–17	11–16	10–15	9-14	8-13	7-12	6-10
Endurance (erase/write cycles) [32]	1.00E+06						
Nonvolatile data retention (years) [33]	10–20	10–20	10–20	10–20	10–20	10–20	10–20
Maximum number of bits per cell (physical 2- bit/cell + MLC) [37]	6	6	6	6	6	6	6

 Table PIDS5b
 Non-volatile Memory Technology Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20					
NAND Flash poly ½ Pitch (nm)	19	18	16	14	13	11	10
Non-charge-storage NVM							
A. FeRAM (Ferroelectric RAM)							
FeRAM technology – F (nm) [42]	90	90	90	65	65	65	65
FeRAM cell size – area factor a in multiples of F ² [43]	14	14	14	12	12	12	12
FeRAM cell size (μm^2)	0.113	0.113	0.113	0.051	0.051	0.051	0.051
FeRAM cell structure [44]	1T1C						
FeRAM capacitor structure [45]	3D						
FeRAM capacitor footprint (μm^2) [46]	0.041	0.041	0.041	0.016	0.016	0.016	0.016
FeRAM capacitor active area (μm^2) [47]	0.100	0.100	0.100	0.069	0.069	0.069	0.069
FeRAM cap active area/footprint ratio [48]	2.46	2.46	2.46	4.25	4.25	4.25	4.25
Ferro capacitor voltage (V) [49]	1.00	1.00	1.00	0.70	0.70	0.70	0.70
FeRAM minimum switching charge density $(\mu C/cm^2)$ [50]	30	30	30	30	30	30	30
FeRAM endurance (read/write cycles) [51]	>1.0E16						
FeRAM nonvolatile data retention (years)	10 Years						
B. MRAM (Magnetic RAM)							<u> </u>
MRAM technology F (nm) [52]	22	22	22	16	16	16	16
MRAM cell size area factor a in multiples of F^2	18	16	16	17	16	17	16
MRAM typical cell size (µm ²)	0.009	0.0077	0.0077	0.0044	0.0041	0.0044	0.0041
MRAM switching field (Oe) [53]	35	35	35	35	35	35	35
MRAM write energy (pJ/bit) [54]	20	20	20	20	20	20	20
MRAM active area per cell (μm^2) [55]	0.007	0.007	0.007	0.005	0.005	0.005	0.005
MRAM resistance-area product (KOhm-(µm ²) [56]	0.6	0.6	0.6	0.6	0.6	0.6	0.6
MRAM magnetoresistance ratio (%) [57]	70	70	70	70	70	70	70
MRAM nonvolatile data retention (years)	>10	>10	>10	>10	>10	>10	>10
MRAM write endurance (read/write cycles)	>3e16						
MRAM endurance – tunnel junction reliability (years at bias) [58]	>10	>10	>10	>10	>10	>10	>10

	••••••			1	~8 ·		
Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20					
NAND Flash poly ½ Pitch (nm)	19	18	16	14	13	11	10
C. PCRAM (Phase-Change RAM)							
PCRAM technology F (nm) [58]	20	18	16	14	12	11	9
PCRAM cell size area factor a in multiples of F ² (BJT access device) [59]	4.0	4.0	4.0	4.0	4.0	4.0	4.0
PCRAM cell size area factor a in multiples of F ² (nMOSFET access device) [60]	7.3	7.3	6.0	6.0	6.0	5.5	5.5
PCRAM typical cell size (nm ²) (BJT access device) [61]	1600	1296	1024	784	576	480	340
PCRAM typical cell size (nm ²) (nMOSFET access device) [62]	2920	2365	1536	1176	864	650	450
PCRAM number of bits per cell (MLC) [63]	4	4	4	4	4	4	4
PCRAM typical cell area per bit size (µm ²) (BJT access device) [64]	400	324	256	196	144	120	85
PCRAM typical cell area per bit size (µm ²) (nMOSFET access device) [65]	730	591	384	294	216	162	112
PCRAM storage element CD (nm) [66]	13	12	10	9	8	8	7
PCRAM phase change volume (nm ³) [67]	9,000	6,700	4,700	3,200	2,000	1,300	900
PCRAM reset current (µA) [68]	37	32	27	22	18	15	13
PCRAM set resistance (KOhm) [69]	15.17	17.18	19.74	23.11	27.72	31.00	35.00
PCRAM BJT current density (A/cm ²) [70]	1.90E+07	2.00E+07	2.10E+07	2.20E+07	2.40E+07	2.50E+07	2.70E+07
PCRAM BJT emitter area (nm ²) [71]	314	254	201	154	113	91	73
PCRAM nMOSFET apparent current density for reset (μ A/nm) [72]	2.4	2.4	2.88	2.88	2.88	2.88	2.88
PCRAM nMOSFET apparent device width (nm) [73]	23	21	16	14	12	10	9
PCRAM nonvolatile data retention (years) [74]	>10	>10	>10	>10	>10	>10	>10
PCRAM write endurance (read/write cycles) [75]	1.0E+15	1.0E+15	1.0E+1 <u>5</u>	1.0E+15	1.0E+1 <u>5</u>	1.0E+1 <u>5</u>	1.0E+1 <u>5</u>

 Table PIDS5b
 Non-volatile Memory Technology Requirements—Long-term Years

Table PIDS5aとbに対する注

[1] 2005 年から NAND Flash は、CMOS と DRAM 技術に勝った。このことは、示された期間において設計のための F 値を規定する。

[2] NAND Flash アーキテクチャは、蓄積デバイス数のビット線ストリングで構成されている。長いビット線ストリングは、 ビット線トランジスタのオーバーヘッドを低減して集積密度を増加させるものの、高い抵抗とそれによる低い読出し電 流という損失を伴う。一つのビット線ストリング中のワード線数は、16から32に増加した。

[3] 高いゲート・カップリング比の維持と隣接セル間のクロストークの抑制が困難なことから、NAND 技術はフローティング・ゲート・デバイス(FG)から電荷トラップ・デバイス(CT)へ徐々に移行すると予想されれいる。(参考文献:K. Kim, "Technology for sub 50nm DRAM and NAND Flash manufacturing," in Tech. Digest International Electron Devices Meeting, pp. 539-543, 2005.) 蓄積される電子数が少なくなることによる統計的変動限界からデータ保持に対する新たな挑戦がなされ(参考文献 G. Molas, et al., "Impact of few electron phenomena on floating gate memory reliability," Tech. Digest 2004 International Electron Devices Meeting, pp. 877-880, 2004.)、複数デバイス層の3次元集積化がスケーリングの継続に必要と思われる。(参考文献: beyond 30nm node," Tech. Digest 2006 International Electron Devices Meeting, pp. 41-44, 2006.)
[4] セル面積係数"a"=セル面積/F²。この数字は、複数技術が集積された Flash セルの面積に対する期待範囲を示し

[4] セル面積係数 "a"=セル面積/F"。この数子は、複数技術が集積された Flash セルの面積に対する期待範囲を示し ている。多値セル(MLC)を用いることでロジック・レベルは(1,0)から(11,10,00,01)へ増加するものの、一つの Flash セ ルに1ビット以上を蓄積することが可能である。 [5] NAND Flash のトンネル酸化膜のスケーリングは、NOR Flash と同様に同じ挑戦に直面している。しかしながら、 NAND におけるエラー・コード補正(ECC)は NOR よりも高いレベルの酸化膜欠陥の耐性を有することから、6-7nm の トンネル酸化膜を許容する。現在のところ、6nm 以下にトンネル酸化膜をスケールする解決策は知られえていない。 [6] ONO 膜はポリシリコン間の絶縁膜(IPD)として用いられてきており、近い将来も使われ続けられる。しかしながら、 40nm 以下のフローティング・ゲート間隔では、ONO 膜でワード線ポリシリコンを被覆するのに狭くなりすぎてしまい、 フローティング・ゲートに対する側面コントロール・ゲートのカップリング損失が、ゲート・カップリング比を致命的に劣化 させる。間隔を空けることが困難であるため、高誘電率 IPD または電荷トラップ・デバイス(CT)が用いられるであろう。 ここでは、High-k IPD の場合を示した。工学的解決策が未だに実証されてれいないことから、赤色とした。

[7] ゲート・カップリング比(GCR)は、(フローティング・ゲート容量に対するコントロールゲート容量)/(ソース、ドレイン、 基板容量に対する総フローティング容量)として定義した。GCR はトンネル酸化膜における電圧降下の部分を表現し ており、書込みと消去動作中のデバイスに対して 0.6 より大きな値とすべきである。このことは背の高いフローティン グ・ゲートを必要としており、ビット線方向の隣接セルとのクロス・トークは MLC 動作に対する挑戦となる。40nm 以下 において、フローティング・ゲート間隔は IPD にとって狭くなりすぎており、コントロール・ゲートを被服するとともに十分 に高い GCR を維持するすることは、困難な技術課題である。

[8] n 型ポリシリコン(およびポリサイド)ゲート電極は、コントロール・ゲートとして用いられてきており、近い将来も用い 続けられるであろう。Si に対して低いバリア高さの high-k IPD の導入は消去動作中の激しいゲート注入を引き起こし、 p型ポリシリコンまたは金属ゲートといった高い仕事関数材料が適用されるであろう。

[9] 低い書込み電圧と消去電圧は必要とされているが、、W/E 速度を妥協することなく W/E 電圧低くするようにトンネル酸化膜と IPD の EOT を低下させなければならない。

[10] 書込みと消去サイクルの繰返し耐性は、高い電界状態における電荷の度重なる通過によってトンネル酸化膜の 損傷されることを反映する。スケーリングは酸化膜損傷に対して悪くはないが、大きなアレイは ECC 能力を使いすぎ ることとなり、欠陥の保障は減少する。High-k IPD は、電荷を捕獲し劣化を引き起こす。このことは、高い繰返し耐性 を必要とする Solid-State drive デバイスなどの用途には適さない。

[11] データ保持は、トンネル酸化膜の完全性と保持された電子数の統計的分散の両方によって制御される。トンネル酸化膜の薄膜化と長期間の蓄積電子数の減少傾向の両方が、保持時間の短期化の予想に寄与する。

[12] 4 ロジック・レベル(2-bit/cell)の多値セル(MLC)は、今日では NAND Flashに一般的に用いられており、8 ロジッ ク・レベル(3-bit-cell)および 16 ロジック・レベル(4-bit-cell)が開発されている。8-bit/cell MLC デバイスは、256 ロジッ ク・レベルを必要としていて現在の技術の到達点の越えたところにあると思われることから、長期表においても 8bit/cell ができるよいう予測はされていない。

[13] MANOS(金属-Al2O3-窒化-酸化-Si)デバイスは比較的薄いトンネル酸化膜と電荷蓄積に SiNトラップ層とトンネル酸化膜の電圧降下を増加させるための Al2O3 とゲート注入を止める高い仕事関数金属ゲートを用いる。(参考文献: C.H. Lee, et al., "A novel SONOS structure of SiO2/SiN/Al2O3 with TaN metal gate for multi-giga bit Flash memories," Tech. Digest 2003 International Electron Devices Meeting, pp. 613-616, 2003.) バリア工学は、基板ホール・トンネル注入によって消去動作を容易にする積層トンネル・バリアを用いる。(参考文献: H.T. Lue, et al., "BE-SONOS: a bandgap engineered SONOS with excellent performance and reliability," Tech. Digest 2005 International Electron Devices Meeting, pp. 555-558, 2005.) フローティング・ゲート GCR とクロス・トークを除けば、これら 2 つの CT 手法は NAND を 30nm にスケーリングすることに期待できる。

[14] MANOS 型デバイスのトンネル絶縁膜は、比較的薄いシリコン酸化膜(3-4nm)である。バリア工学(BE)デバイスのトンネル絶縁膜は、積層 ONO(例えば 2nm/2nm)または OAO といった他の積層膜で構成される。 [15] MANOS デバイスでは、バリア高さの高い Al₂O₃ がブロッキング酸化膜として適している。

AN,ANO,AHO などの他の積層ブロッキング層も解決策候補である。BE デバイスにとって SiO₂ がブロッキング酸化膜であるが、Al₂O₃および他の積層膜も使われる。

[16] SiN は、良好のデータ保持を提供する比較的深い電子とラップを有する最も一般的で最も知られた電荷 トラップ層である。より深いトラップを有する他の変わった high-k 材料も長期的には用いられる可能性が ある。(参考文献: A. Chin, et al., "Low voltage high speed SiO2/AlGaN/AlLaO3/TaN memory with good retention," Tech. Digest 2005 International Electron Devices Meeting, pp. 165-168, 2005.) CT デバイスに関して、電荷損失 機構は低電界時の基板ホール・トンネルが主である。その結果、より深いトラップは、高温用途に期待され るデータ保持を改善しない。

[17] SiN のトラップ効率は、膜厚依存性があるように思われる。(参考文献: H.T. Lue, et al., Proc. 2007 International Reliability Physics Symposium, 2007) そのため、長期間に渡って薄膜 SiN、もしくは、high-k トラップ膜を使い続けるとプログラミング効率の低下を被る可能性が高い。

[18] 高い仕事関数金属ゲートは、ゲート注入を抑制するのに最良である。しかしながら、プロセス容易性、低コスト、良い性能といった理由から、p型ポリシリコンは暫定的な解決策と考えられる。

[19] CT デバイスにおける繰返し耐性の劣化機構は、未だによくわかっていない。フローティング・デバイスと違って、 CT デバイスでは電荷は独立したトラップに捕獲される。且つフローティング・デバイスのように全ての保持電荷が一つ の欠陥から漏れないために、CT デバイスはトンネル酸化膜の劣化に敏感でない。

[20] BE デバイスにおけるデータ保持の劣化機構は、よくわかっていない。(参考文献 H.T. Lue, et al., "Reliability model of bandgap engineered SONOS (BE-SONOS)," Tech. Digest 2006 International Electron Devices Meeting, pp. 495-498, 2006.) MANOS デバイスのデータ保持機構は、未だによくわかっていない。発表されたデータによると、ある条件下でのデータ保持はフローティング・ゲート・デバイスと同程度である。

[21] NOR Flash は、伝統的に CMOS と DRAM より遅れているが、数年の内に並び、DRAM と同等となる。

[22] High-k ポリ間絶縁膜は、ゲート・カップリング比>0.6を達成するよに、32nm およびそれ以降も使われるが、このことは単に面積係数を限定するだけである。(参考文献:2005 Symposium on VLSI Technology, 11B-3, E. S. Cho, et al.," Hf-silicate Inter-Poly Dielectric Technology for sub 70 nm Body Tied FinFET Flash Memory," pp. 208-209.)

[23] バーチャル・グランド(VG)アレイは短期におけるセル面積の縮小に重要である。(参考文献: 2005 Symposium on VLSI Technology, 11B-1, R. Koval, et al. "Flash ETOX Virtual Ground Architecture: A Future Scaling Direction," pp. 204-205.) しかし、VG の効果は表に反映されていない。その理由は、VG は一般的なアレイと根本的に 異なっており、且つ適用には大きな開発努力が必要であり、この努力を行う工業的総意がない。

[24] 非プレーナ・デバイス(例えば FinFET)は将来の Flash スケーリング用に開発されているものの、現表 には反映されていない。ONO 被服と隣接した縦型デバイス間の狭い間隔のコントロール・ゲートとフロー ティング・ゲートのジレンマは、未だに完全に解決されていない。

[25] NOR Flash のセル面積とゲート長の両方は、近年積極的にスケーリングされてほぼ 10F²の面積係数となっている。(参考文献 2005 ISSCC, "A 90 nm 512Mb 166 MHz Multilevel Cell Flash Memory with 1.5MBytes/s Programming," pp. 54-55. 2003 Symposium on VLSI Technology, "Highly Manufacturable 90nm NOR Flash Technology with 0.081µm2 Cell Size," pp. 91-92. 2004 Symposium on VLSI Technology, "A 70nm NOR Flash Technology with 0.049µm2 Cell Size," pp. 238-239.)

[26] NOR Flash はチャネル・ホット・エレクトロン書込みを用いており、急峻な接合プロファイルの形成を 必要としている。その結果、短チャネル効果の制御を困難にしている。しかし、NOR アークテクチャは、

デバイス・リークの弱点がある。トンネル酸化膜厚はスケーリングできないため、短チャネル効果の制御は スケーリングを考える上で非常に困難な技術課題である。近年、ゲート長はFよりかなり大きい。この技術 課題にもかかわらず、面積係数は近年 10F²を維持し続けている。([25]を参照)

[27] トンネル酸化膜は保持を保障するために十分厚くしなければならないが、消去/書込みを容易にするために十分に薄くしたい。この困難なトレードオフ課題は、スケーリングを妨げる。7nm 未満のトンネル酸化 膜は、保持信頼性に対して根本的な課題である。

[28] ONO 膜はポリシリコン間の絶縁膜として用いられてきており、近い将来も使われ続けられる。しかしながら、32nm 以降の high-k IPD は、GCR を 0.6 以上に維持するのに必要である。現状では、GCR はフローティング・ゲートの側面 をコントロール・ゲートが被覆することによって達成されており、フローティング・ゲートに対するコントロール・ゲートの 容量面積を増加させている。32nm またはそれ以降では、隣接フローティング・ゲートの間隔が狭くなりすぎてしまい、ONO 膜とコントロール・ゲートが埋まってしまうので、この擬似縦構造は機能しなくなる。

[29] ゲート・カップリング比(GCR)は、(フローティング・ゲート容量に対するコントロール・ゲート容量)/(ソース、ドレイン、 基板容量に対する総フローティング容量)である。GCR は、適正なデバイス動作のため、約 0.6 より大きな値とすべき である。

[30] セルアレイ内でのグランドに対する最高電圧であり、通常はオンチップのチャージ・ポンプ回路によって供給される。低電圧化は、チャージ・ポンプ回路の削減と単純なプロセスにとって必要である。High-k IPD の導入は、消去電圧の低減の助けとなる。

[31] 原理的に、読出し電流は W/(L*Cox)率のスケーリングに伴って減少し、電圧過剰(読出し妨害)を抑制する。ア クセス時間は読出し電流に依存し、NOR Flash の重要な性能指標の一つである。読出し電流は、性能を維持するた めに W/(L*Cox)よりも緩やかに減少する。長期的には、これが読出し妨害を引き起こす。

[32] E/W 繰返し耐性の要求は、用途の仕様によって変化する。1E5 回が有用な NOR 製品として歴史的最小値とし て許容されてきた。

[33] 保持は、本質的なデバイス特性というよりも欠陥関連パラメータである。欠陥制御の改善とデバイス史の蓄積によって、20 年以上の保持という仕様が実際に期待されている。また、E/W 繰返し耐性とのトレードオフとして、保持仕様の低減が許容されることがある。

[34] セル読出しは、2値保持ビット(多値セル MLC)を提供する4値電荷保持レベル間を区別する。8 または 16 値への進展は潜在的に可能であるが、合理的な Vtと読出し速度とアレイ効率を維持することが挑戦となっている。密度が競争優位性である NAND Flash とは異なり、性能と信頼性トレンドを高く維持することが NOR Flash の高密度化より重要であり、NAND Flash よりも高レベル MLC の圧力は強くない。

[35] バーチャル・グランド・アレイは接合分離とビット線埋め込み拡散層を用いており、セル内に STI 素子分離または ビット線コンタクトを必要としない。原理的に、VG アレイの面積係数は、セル STI 素子分離とコンタクトを有するアレイ の~10F²に比べて 4F²まで小さくできる。埋め込み拡散層のスケーリングは困難な挑戦であり、接合分離はリーク経 路を増やし設計を複雑にする。大きな R&D 努力が VG アレイの適用に必要であり、より小さなセル面積の利点をも てるように短期に解決する。

[36] NOR 応用の電荷トラップ・デバイスは、主に SONOS 構造を用いており、しばしば通常の SONOS デバイスと混同される。通常の SONOS 構造は、NAND アレイに適している。デバイスは基板からの電子の Fowler-Nordheim トンネルによって書き込まれ、電荷は SONOS の SiN 層に蓄積される。電子は深い SiN トラップに蓄積され、Fowler-Nordheim トンネルによってデトラップすることが困難である。代わりに非常に薄い(2-3nm)トンネル酸化膜が用いられ、SiN 中への基板ホール・トラップによってデバイスの消去が行われる。しかしながら、そのように薄いトンネル酸化膜は、蓄積された電子により生じる弱い電界においても基板からのホールの直接トンネルも引き起こし、良好なデータ保持を行うことが困難である。NROM は NOR アレイで SONOS の課題を解決するデバイスとして提案されたものである。 セルの書き込みにチャネル・ホット・エレクトロンを用い、電子は S/D 接合端の近くの SiN 層に保持される。消去にはバンド間トンネルによって生じたホット・ホールを SiN へ注入する。比較的厚い(4-5nm)のトンネル酸化膜が適用され、データ保持の課題を解決する。NROM も1デバイスに2ビット情報を保持(ソース側とドレイン側)する利点を有してお り、異なる状態を区別するために逆方向読出しを適用する。NROM はバーチャル・グランド・アレイ・アーキテクチャに 形成され、比較的小さいセル面積である。NOR Flash だけでなく NAND 構造以外のデータ保持用途に用いられる。

[37] CT NOR SLC Flash は、1ビットをソース側に、もう1ビットをドレイン側に保持する 2-bit/cell である。MLC Flash は、 2ビットをソース側に、もう2ビットをドレイン側に保持する 4-bit/cell である。

[38] 同じデバイス中に物理的に 2 ビットを保持するが、ゲート長スケーリングは左右ビットの境界によって制限されない。スケーリングはフローティング・ゲート・デバイスと同じファクターによって限定され、接合破壊電圧と短チャンネル効果である。他方、4-bit/cell MLC デバイスは左右ビットの境界に影響され、MLC の Lg スケーリングは SLC よりも緩やかである。

[39] 電子は SiN 中の深いレベルに保持されるために、トンネル酸化膜はフローティング・デート・デバイスよりも積極的にスケールすることができる。

[40] 電荷トラップ SiNの膜厚低減は EOT を低減させ、トラップ効率を劣化させる。

[41] インターポリ絶縁膜は、保持を保障するために十分厚くしまければならない。

[42] 単体メモリデバイス(非混載デバイス)の FeRAM セルに用いられる DC 値 "F"。

[43] セル面積係数"a"=セル面積/F²。FeRAM セル面積は、FeRAM 集積化技術のF²倍数で示される。

[44] FeRAM セル構造は、一つのトランジスタと一つのキャパシタ(1T1C)構成に移った。(参考文献: J.H. Park, et al., "Fully Logic Compatible (1.6V Vcc, 2 Additional FRAM Masks) Highly Reliable Sub 10F2 Embedded FRAM with Advanced Direct Via Technology and Robust 100 nm thick MOCVD PZT Technology", 2004 IEDM, 23.7.1, pp. 591-594. Y. M. Kang et al., "Sub-1.2V Operational, 0.15µm/12F2 Cell FRAM Technologies for Next Generation SoC Applications", 2005 Symposium on VLSI Technology, 6B-4, pp. 102-103.)他の選択肢は Chain-FeRAM のように検 討中である。(参考文献: H. Kanaya et al., "A 0.602µm2 Nestled Chain Cell Structure Formed by One Mask Etching Process for 64Mbit FeRAM," 2004 Symposium for VLSI Technology, pp. 150-151. N. Nagel et al., "New Highly Scalable 3 Dimensional Chain FeRAM Cell with Vertical Capacitor," 2004 Symposium on VLSI Technology, pp. 146-147.) [45] キャパシタの構造は、セル面積を決定するキーとなる要因の一つである。積層平面膜は、より有効な3次 元構造によって置き換えられる。

[46] 平方ミクロンで示されたキャパシタのと投影面積。セル面積に寄与するキャパシタ面積。2005-2006 年~19F²、2007-2009 年~16F²、2010-2020 年~10F²(3次元キャパシタ)を仮定した。

[47] 実際の実行キャパシタ面積。第三軸寸法の面積を用いていることから、3次元キャパシタの投影面積より大きい。 [48] 投影面積に対する実行面積の比、第三軸寸法の使用の効果を示している。

[49] キャパシタにかかる動作電圧(Vop)。低電圧動作は困難な設計課題。一般的に、Vopの低減には強誘電体膜厚の減少が必要であり、重要な技術チャレンジである。(参考文献 D. C. Yoo et al., "Highly Reliable 50nm-thick PZT Capacitor and Low Voltage FRAM Device Using Ir/SrRuO2/MOCVD PZT Capacitor Technology", 2005 Symposium on VLSI Technology, 6B-3, pp. 100-101.)

[50] µC/cm²で示される最少スイッチング電荷密度は、有効な設計パラメータである。キャパシタの実際の有効面積で 割ったセル最少スイッチング電荷に等しい。キャパシタ電圧は Vop。

[51] FeRAM は破壊読出し技術であるため、読出しにはデータの再書込みを伴う。繰返し耐性は、全読出しと全書込み回数の総和を考慮する。DRAMと SRAMと競合する FeRAM は、約 1E15 回の繰返し耐性が必要である。試験時間は重大な関心事である。100MHz で 3 年間動作させると、1E16 回である。

[52] MRAM デバイスは、2010年の 45nm half pitchの CMOS 技術まで遅れをとる。示された期間内で設計のための F値を提供する。

[53] MRAM スイッチング磁界は、セルの磁化方向を変化させるのに必要な磁界強度 H。

[54] ビット当たりの MRAM スイッチング・エネルギーは、(書込み電流×電源電圧×書込み時間)で計算される。メガ ビットのメモリーアレーで測定されたスイッチング・エネルギーの中央値が使われることが望ましい。パワーの良い見積 もり値は、(スイッチング・エネルギー×と一秒あたりの書き込み数)である。

[55] MRAM に活用されるビット面積は、セルの中で磁性材料が積層されている面積である。それは、R*A 積の中の"A"となっている。

[56] MRAM 抵抗と面積の積(すなわち R*A 積)は磁性体積層材料の真性特性であり、面積の異なるセルとを比較 する際の便利な基準である。R*A 積は、実効的な低抵抗状態の磁性トンネル接合抵抗(R_{low})を測定して実際のセル の磁性積層面積を掛け合わせることにより、計算できる。

[57] MRAM の磁性抵抗比は、100*(R_{high}-R_{low})/R_{low}として計算される。この比率は、"1"と"0"のロジックレベルの間の違いを要約しており、磁性積層構造の真性能力を示す。磁性トンネル接合の抵抗値は低い電流で測定される。 [58] Critical Dinension, F。

[59] セル面積係数"a" = cell area/ F²。この数値は、期待されている PCRAM セル面積に対し、実際に使われる技術 値 F²の倍数になっている。PCRAM は、結晶状態 から アモルファス状態 へ層変化させる重要なリセット電流を必要 とする。BJT トランジスタは MOSFET に比べて単位面積当たりより多くの電流を提供する事が可能であるので、セル 面積を減らすことができる。BJT と nMOSFET の両方のアクセス・デバイス・セルは、この表で示されている。

[60] セル面積係数"a" = cell area/ F²。この数値は、期待されている PCRAM セル面積に対し、実際に使われる技術 値 F²の倍数になっている。PCRAM は、結晶状態 から アモルファス状態 へ層変化させる重要なリセット電流を必要 とする。BJT トランジスタは MOSFET に比べて単位面積当たりより多くの電流を提供する事が可能であるので、セル 面積を減らすことができる。短期的には nMOSFET トランジスタは大きなセル面積となるが、簡単な形成プロセスと低 電圧動作の両方を提供する。BJT と MOSFET の両方のアクセス・デバイス・セルはこの表で示されている。PCRAM は、MLC 多ビットセルの可能性がある。この面積係数は、1セル当たりであり、ビット当たりでではない。 [61] BJT アクセス・デバイスを備えた期待される"典型的な"CRAM のセル面積は µm²で表されている。

[62] nMOSFET アクセス・デバイスを備えた期待される"典型的な"PCRAM のセル面積は µm²で表されている。

[63] アモルファス状態と結晶状態の間の抵抗比は 100-1,000 が典型的な値であることから、PCRAM は MLC 動作 が可能である。この値は期待されるセル単位毎の MLC ビット数である。

[64] BJT セルを備えた PCRAM の MLCビット毎の期待されるセル面積。セル毎の MLCビット数によって割られる物 理的な大きさである。

[65] nMOSFET セルを備えた PCRAM の MLC ビット毎の期待されるセル・サイズ。セル毎の MLC ビット数によって 割られる物理的な大きさである。

[66] PCRAM 相変化の要素は、妥当な電流で効果的にリセット動作を行うために技術の世代寸法 Fより大幅に小さくなければならない。この値は、nm単位で示される期待される相変化要素の面積である。

[67] PCRAM 相変化量は、デバイス設計やピークパワー要件にとって重要な要因である。この値は、nm³ で示される 期待される相変化量である。-

[68] µA 単位で表される PCRAM の期待されるリセット電流。

[69] セット抵抗は、PCRAM 読み出し速度にとって重要な設定要因である。

[70] PCRAM セルをリセットする(結晶状態からアモルファス状態へ)のに必要な BJT アクセス・デバイスからの期待される電流密度出力の値である。より大きい面積の BJT (大きいセル面積をもたらす)と、より高いアウトプット電流(高い動作電圧を必要とする。)との間で最適化されたものである。

[71] 必要なリセット電流を供給できる期待される BJT エミッター面積の値であり、BJT 電流密度が推測される。

[72] PCRAM セルをリセットする(結晶状態からアモルファス状態へ)のに必要な nMOSFET からの期待される電流密 度出力の値である。より大きい幅の nMOSFET (大きいセル・サイズをもたらす)と、より高いアウトプット電流(高い動作 電圧または信頼性のないデバイスをもたらす)との間で最適化されたものである。

[73] 必要なリセット電流を供給できる期待される nMOSFET ゲート幅であり、MOSFET の電流密度が推測できる。

[74]期待される PCRAM のデータ保持の値であり。不揮発メモリーとして使用される事を可能とする。PCRAM のデ ータ保持機構は、まだ十分に研究されていない。最近公表されたデータでは、高温下で 10 年以上のデータ保持特 性を示している。(参考文献 S. J. Ahn et al., "Highly Manufacturable High Density Phase Change Memory of 64Mb and Beyond," 2004 IEDM, 37.2, pp. 907-910. A. L. Lacaita et al., "Electrothermal and Phase Change Dynamics in Chalcogenide-Based Materials," 2004 IEDM, 37.3, pp. 911-914.)

[75] 期待される PCRAM W/E 繰返し耐性の値である。最近公表されたデータによると、1E+9から 1E+13の繰返し耐性を示している。。(参考文献: . S.J. Ahn et al., "Highly Manufacturable High Density Phase Change Memory of 64Mb and Beyond," 2004 IEDM, 37.2, pp. 907-910. S. Lai et al., "Current Status of Phase Change Memory and Its Future," 2003 IEDM, pp. 255-258.)

不揮発性メモリーの解決策候補(Potential Solutions)

不揮発性メモリーとはメモリーアレーと CMOS の周辺回路を融合させたものである。メモリーアレーは不 揮発性を得るため通常特殊なしかし CMOS 互換のプロセスを必要とする。不揮発性メモリーは、単体から 混載まで、その使い方に応じた要求性能を持ってさまざまな用途に使用されている。メモリーアレーのアー キテクチャーと信号読み取り方法も異なった用途に応じて多くの種類がある。技術的課題は解決困難であ り、いくつかの例では現行のロードマップの終焉までに物理的限界に達するであろう。電荷保存型デバイ スでは、単一レベルセルあるいはマルチレベルセルに関わらず、隣接セル間の距離を縮小しながら、統計 的ゆらぎに対する安定した閾値電圧を得て、隣接セル同士のクロストークを減らすために、保存電極の電 子数を十分多く保持する必要がある。一方、データ保持時間と書換え回数は現状の値を維持しなければ ならず、応用によっては新しい用途のために向上させなければならない。非電荷保存型デバイスでは、記 憶量が少なくなるに従って熱ノイズが信号に影響を与え始めるので、根本的な限界に近づきつつある。

浮遊ゲート型デバイス

浮遊ゲート型フラッシュメモリーデバイスは、浮遊ゲートに電荷を蓄積し読み取ることにより不揮発性を 達成している。現行のメモリートランジスタは縦に、ポリサイドの制御ゲート、通常は ONO (oxide-nitrideoxide)3 層膜を用いるポリシリコン間絶縁膜、ポリシリコン浮遊ゲート、トンネル絶縁膜、から構成される。ト ンネル絶縁膜はある程度の電圧で浮遊ゲートに電荷を注入するため十分薄くする必要があり、読み出し時 と電源オフ時の電荷消失を避けるために十分厚くなければならない。ポリシリコン間絶縁膜はトンネル絶縁 膜に消去及び書込みパルスのカップリングが適度にかかるように、微細化されなければならない。制御ゲ ートから浮遊ゲートの容量と浮遊ゲート全体の容量(制御ゲートから浮遊ゲート+浮遊ゲートから基盤)の 比率で定義されるゲートカップリング比は重要な微細化パラメータであり、0.6 以上でなければならない。多 くのデバイスでは、ゲートカップリングを 0.6 以上にするために制御ゲートが浮遊ゲートの側壁周りを囲んで いる。ポリシリコン間絶縁膜が 15nm 以上あるのでビット線の間隔が 30nm かそれ以下になったとき、浮遊 ゲート側壁を制御ゲートで囲む構造は難しくなる。従ってゲートカップリング比率を維持することは浮遊ゲ ート型デバイスの微細化にとって大きな課題である。

浮遊ゲート型デバイスのトンネル絶縁膜の膜厚も大きな微細化課題であり、現在は認められている解決 方法はない。この課題は短チャネル効果によるリーク電流が書込みディスターブを誘発するので、NOR フ ラッシュのゲート長の微細化を阻害している。High-k 絶縁膜のポリシリコン間への適用はゲートカップリング 比率を維持し、あるいは改善しながらトータルの膜厚を下げるのに有効である。しかしながらハーフピッチ が 30nm かそれ以下になったときには平面デバイスが必須であるので、制御ゲートで浮遊ゲートの側壁を 覆うという構造的優位性がなくなった分は high-k 絶縁膜の適用で相殺させる必要がある。従って誘電率は SiO₂の3倍以上でなければならない。

NOR と NAND の浮遊ゲート型フラッシュメモリー

NOR フラッシュセルはセル間分離と蓄積ノードとしての機能を持つ1つの MOSトランジスタにより構成 される。このトランジスタの閾値電圧は浮遊ゲートに蓄えられる電荷によって制御され、蓄積の状態を示す。 蓄積セルは単一レベルロジック(Single Level Logic, SLC, 1と0のロジックを意味する)かあるいはマルチ レベルロジック(Multiple Level Logic, MLC,(11), (10), (00), (01))を蓄積する。メモリーアレーは XとYの 交差した配線構造で、ランダムな読み出しができる。書込みはチャネルホット電子あるいは他のホット電子 生成によって行い、消去は FN(Fowler-Nordheim)トンネル現象で電子を浮遊ゲートから引き抜くことにより 行う。ホット電子の生成にはデバイス直下に高い横方向電界が必要であり、それは急峻な接合プロファイ ルによって得られる。これは逆に短チャネル効果とリーク電流を増大させ、書込みディスターブをもたらす。 ハロー注入がデバイスのリーク電流削減のため使われているが、同時に接合の破壊電圧を低下させ微細 化をも制限する。ビット線コンタクトが不要である仮想グランドアレーが開発されると、NOR フラッシュのセル サイズは短期的将来飛躍的に小さくできる。

NAND フラッシュセルは同じく蓄積デバイスとして機能する 1 つの MOS トランジスタから構成されてい る。NAND アレーは両端に選択デバイスを備えた 32 個あるいはそれ以上のデバイスからなる。このアーキ テクチャーはビット線コンタクトが不要であり、最も小さいセルサイズが達成できる。書込みあるいは読み出 しの間選択されたビット線の非選択セルはオン状態で"パスデバイス"として働く。従ってそれぞれのデバイ スに蓄積されたデータはランダムにアクセスはできない。書込みと消去は両方とも FN トンネル電流によっ て浮遊ゲートに注入、引き抜きされる。FNトンネル電流は多くのビットを同時に書き込むことを可能にし、そ れが高速書込みを可能にしている。パストランジスタとしての同じビット線のデバイスはそのリーク電流が書 き込みあるいは読み出しに影響を与えることがなく、かつホット電子の必要がないので、接合は浅く形成で きる。それ故に同じ膜厚のトンネル酸化膜を用いても NAND デバイスは NOR デバイスより微細化がより容 易である。NAND フラッシュは大容量のデータを蓄積、読み出しするよう設計されており、プログラムコード を格納するものではないので、通常、誤訂正コード(error correction code, ECC)アルゴリズムを採用してお り、NOR フラッシュより欠陥に対する耐性が高い。ゲートカップリング比を 0.6 以上にすること、浮遊ゲート 間のクロストークを避けることが 32nm かあるいはそれ以下の微細化には比常に困難な課題である。平面 デバイスにおける high-k 層間絶縁膜の適時の開発が、微細化継続のための重要なマイルストーンとなる であろう。いつかは、少数電子の制限が受け入れ不可能な保持時間の分布になり、それに対しては現在 のところ認められる解決策はない。

NOR アーキテクチャーの電荷トラップ型デバイス

デバイスの閾値電圧は SiN などの電荷トラップ層における電荷保持にも影響を受ける。SiN を用いた電荷トラップ型デバイスは、SONOS 構造、つまりシリコン(あるいはポリサイド)ゲート、ブロック酸化膜、SiN 蓄

積層、トンネル酸化膜の構成になっているので通常 SONOS と呼ばれる。比較的厚いトンネル酸化膜を用いた広く普及している NOR アーキテクチャーの SONOS が NROM¹⁵として知られている。NROM は書込みにチャネルホット電子を、消去にバンド間トンネル電流を用いる。窒化膜に注入された電荷は接合付近に局所的に分布するので、同じデバイスにおいてソース側とドレイン側の2ビットの情報が保持できる。デバイスの閾値電圧はドレイン電圧によりドレイン側の電荷を消し、逆にソース側の情報を読み出すことによって読み出しすることができる。

NROM NOR アレーは、埋め込み拡散層がビット線として、デバイスのチャネルがワード線(ポリサイド) 方向として機能する仮想グランドアレーを採用することができる。この構造はビット線コンタクトもセル内の STI分離も不要なので、従来の NOR アレーと比較して格段に小さいセルが実現できる。同じデバイスにお ける 2 つの蓄積ノード間のクロストークは完全にはなくせない。このいわゆる"セカンドビット効果"が、それ ぞれの蓄積ノードの閾値電圧分布を制限し、NROM における多値の導入を浮遊ゲート型デバイスよりも困 難にしている。しかしながら、浮遊ゲートデバイスでは4ビットセルを得るために16レベルの閾値電圧が必 要であるのに対して、NROM は本質的に2ビットセルであり、多値を用いれば4ビットセルになる。仮想グ ランドアレーは通常のNOR アーキテクチャーに対して、同じデザインルールでは1.5倍から2倍の面積効 果を持っており、さらに製造プロセスが1層ポリシリコンなのでマスク数も減らすことができる。

電荷トラップ型デバイスには、浮遊ゲートデバイスが直面しているゲートカップリングの課題がないが、 微細化の課題は類似している。仮想グランドアレーと2ビットセル動作はデバイスのリーク電流に敏感であ り、書込みと消去にホット電荷をもちいることは信頼性不良に対しての弱さを増している。微細化限界は浮 遊ゲートデバイスと同じであり、短チャネル効果によるデバイスのリーク電流と接合の破壊である。

NAND アーキテクチャーの電荷トラップ型デバイス

現在ほとんどの NAND 製品は浮遊ゲートデバイスを用いて生産されている。ゲートカップリング比を維持あるいは向上させ、隣接セル間クロストークを減少させるための困難な技術課題は電荷トラップ型デバイスを使うことにより回避することができるかもしれない。単一ゲートは MOS デバイスのチャネルを直接制御できるので、ゲートカップリング比の課題はなくなる。また薄い窒化膜間のクロストークは無視できる程度である。窒化膜トラップ型デバイスは基本的な SONOS 型デバイスからのさまざまな種類に適用できるであろう。しかしながら単純なトンネル酸化膜を用いた SONOS は、一旦窒化膜に電子がトラップされると高電界下でさえ引き抜くことが難しいので、NAND の応用には向いていない。デバイスを速く消去するためには、電子を中和するために基板の正孔を注入する必要がある。正孔の SiO₂に対する障壁は高い(~4.1eV)ので、正孔注入確立は低く、十分な正孔電流は非常に薄い(~2nm)トンネル酸化膜を用いた場合のみ得られる。しかし、そのような薄いトンネル酸化膜においては基板からの直接正孔トンネルが発生し、弱い保持電界を止められないので、データ保持特性が劣化する。

近年数種の SONOS 型の新構造が提案されている。トンネル絶縁膜の技術コンセプトがトンネル障壁 特性を変えてトンネル絶縁膜の可変膜厚を作り出すために用いられている。例えば 3 重の ONO 極薄膜 (1~2nm)層が単一の酸化膜を置き換えるため導入されている(BE-SONOS)。¹⁶ 高電界下では上部の 2 層酸化膜と窒化膜はシリコン価電子帯の上部を埋める。基板の正孔は底部の薄い酸化膜をトンネルして 厚い窒化膜の蓄積層に注入される。データ保持モードでは、弱い電界は 3 層膜に分割してかかることはな く、窒化膜中の電子と正孔は 3 層膜のトータル膜厚によってブロックされる。MANOS (metal-Al₂O₃-nitrideoxide-Si)¹⁷構造デバイスにおいては high-k 絶縁膜と金属ゲートが消去動作時のゲート注入を防ぎ、トンネル酸化膜の電界を上げる。比較的厚い(3-4nm)トンネル酸化膜は保持期間において基板からの正孔の直接トンネルを抑制する。

非平面デバイスと複数ゲートデバイス

FinFET やサラウンドゲートデバイスのような非平面デバイスと複数ゲートデバイスはより強力なチャネル 制御ができ、浮遊ゲートと窒化膜トラップデバイスの両方においてより微細への微細化が可能となる。しか しながら縦型構造は新しい技術課題も抱える。例えば、fin 間の間隔はトンネル酸化膜と層間絶縁膜(浮遊 ゲートデバイスの場合)に余地を与えるため十分に広くなければならないので、革新的な解決法がなけれ ば 30nm 以下の微細化はできないかもしれない。

メモリーアレーの3次元積層

蓄積される電子数が統計的限界に達したとき、デバイスは微細化できより小さいセルが実現できたとしても、メモリーアレーにおけるすべてのデバイスの閾値電圧分布は制御できないことになり論理状態は不安定になるであろう。メモリー密度は従来の微細化では増大しない、しかし縦型積層メモリー構造によって増大する可能性がある。近年メモリーアレーの積層が報告されている。1 つの試みは縦型エピ成長による単結晶シリコン層を用いる方法である。¹⁸多結晶シリコンを用いた薄膜トランジスタの例もある。¹⁹製造プロセスの温度と温度量はより前に作成されたシリコン層が追加されたプロセスの熱により劣化しないように決める必要がある。これは温度履歴の違う異なった層に狙った特性のデバイスを作成すること、それぞれの層の少しずつ異なるデバイスを制御する回路を設計するという点において重要な課題である。3 次元積層が従来の微細化を上回りメモリー密度を向上させるとしても、その効果は数層を積み重ねた後には減少している。配線の複雑さは増大し、アレー効率は層数の増加とともに減少する。その上せいぞうプロセスの複雑さとマスク枚数の増大は歩留まりに影響を与える。最近、プロセスを単純化するためにビット線を縦に配線する"punch and plug"方式が提案されている。²⁰

非電化トラップ型不揮発性メモリー

電荷蓄積型デバイスの究極の微細化限界は電子数が少なくなることであるから、電子蓄積なしでメモリ 一動作できるデバイスはより微細化できると期待される。いくつかの非電荷蓄積デバイスが盛んに研究され ており、商品化されているものもある。それぞれが独自の利点を持ち独自の技術課題がある。そのうちいく つかは特別な応用に向けて、特殊な研究をされており NOR 及び NAND フラッシュとは異なった微細化則 をたどるであろう。候補のうちどれかは長期的には NOR あるいは NAND を根本的に置き換える可能性が ある。電荷蓄積によらない論理状態も根源的に物理限界に到達する。例えば小さい蓄積量は、MRAM の 磁化量の限界のように、ランダムな熱雑音に弱い。

FeRAM デバイスは、強誘電体の極性状態を反転させ読み出すことにより不揮発性を得ている。メモリー状態を読み出すためには、強誘電体電極のヒステリシスカーブをたどる必要があり、データは読み出し後に書き直さなければならない。この"破壊読出し"によって、極性が適度に変化しかつ書換えサイクルに対して安定な強誘電体と電極材料を探索することが技術課題となっている。強誘電体材料は通常のCMOSを製造する材料にとっては異質なもので、従来のCMOSプロセス条件下では劣化する。従って強誘電体材料、バッファー材料、とプロセス条件は未だに改善されている。いずれにしても最も進んだFeRAMでもNOR及びNANDフラッシュより同じプロセス世代において容量は小さく、少なくとも1世代は遅れており、多値が可能ではない。ゆえに近い将来NORあるいはNANDフラッシュを置き換えることはな

いであろう。しかしながら FeRAM は遥かに低消費電力で、低電圧であるので²¹、RFID、スマートカードや 他の混載応用に適している。微細化によって目標の容量値に到達するためには、必要な分離を維持しな がらセルの根本的なサイズを変えることが必要である。電極材料の近年の進歩は強誘電体キャパシターの 薄膜化と 2 次元積層セルの実現可能性を示している。これを超える 3 次元セルの実現にはまだ大きな技 術課題がある。

MRAM デバイスはメモリーとして磁気トンネル接合 (magnetic tunnel junction, MTJ)を用いている。MTJ セルはトンネル障壁として動作する薄い絶縁膜によって分離された 2 層の強磁性膜から構成されている。 1 つの層の磁気モーメントが他方の磁気モーメントと同じ方向である場合 (あるいは反対の方向である場 合)、MTJ を流れる電流に対する抵抗が変化する。トンネル電流は"1"あるいは"0"データを示す程度に読 むことができる。MRAM は不揮発性で速くかつ無制限に書換えできるので、おそらく最も理想的な万能メ モリーであり、SRAM と DRAM と同じように不揮発性 RAM として用いられるかもしれない。MTJ サイズと 材料特性の制御と開発が主な技術課題である。またトンネル Al₂O₃ 層は読み出し/書込みサイクルのストレ スに耐えうるものでなければならない。材料の製造プロセス中の温度と条件に対する感度の制御も技術課 題である。長期的には技術的課題は、電子移動が使用できる電流密度を制限する微細なセル中の反転を 得るために適度な磁気強度を達成することであろう。スピン極性が外部の磁場を使うことなく1つの材料か ら直接他の材料に移動するスピン移動回転モーメント(spin transfer torque)の最近の進歩は新しい解決方 法を提示するものである。²²

PCRAM デバイスは論理"1"と"0"を蓄積するためにカルコゲナイトガラス(最も一般的には Ge₂Sb₂Te₅、 あるいは GST、が用いられている)のアモルファス層と結晶層の抵抗の差を用いている。デバイスは上部電 極、カルコゲナイト層変化層と下部電極から形成されている。層変化層と直列に接続されている読み出しト ランジスタによってリーク電流は制御される。層変化の書込み/消去は以下の 2 段階の動作から成立する。 (1)リセット;カルコゲナイドガラスが短パルスによって瞬時に溶解し、その後急冷され高抵抗のアモルファ スの固体になる、(2)セット;低くより長いパルス(10ns-100ns)によってアモルファスの固体が暖められ低抵 抗の結晶層に変わる。ITIR セルは NOR フラッシュと同等のサイズであるが、デバイスは過去のデータを 消去することなく書込みが可能であり、NOR フラッシュより速い書込み速度を有する。単純な抵抗の構造と 低電圧動作が PCRAM を混載応用としてより魅力的なものにしている。PCRAM の主な技術課題は層変 化層のリセットに要求される大電流(mA オーダー)と比較的長いセット時間である。層変化材料の体積は それぞれの技術世代において飛躍的に減少しており、上記の 2 つの課題は微細化によってより簡単にな ると思われる。層変化層と電極の相互作用は長期信頼性の課題になり書換え回数を制限するかもしれな いので PCRAM の成熟には主な技術的課題になる。



Figure PIDS9 Non-volatile Memory Potential Solutions

信頼性の技術的要求と解決策候補

イントロダクション

信頼性は、集積回路のほとんど全てのユーザにとって重要な要求事項である。要求される信頼性のレベルを実現するという挑戦は、スケーリング、新材料と新デバイスの導入、増大するストレス(電界、電流密度、温度)、さらには、時間と資金が増大する制約のため、益々、困難になっている。スケーリングは、チップ内、パッケージ内の両者において、より多くのトランジスタ、より長い配線を形成することになる。これが欠陥の可能性となる箇所を多くすることに繋がる。

不良のメカニズムは、スケーリングにより影響を受ける。例えば、酸窒化膜の TDDB(time dependent dielectric breakdown)は、絶縁膜厚が 5nm 以下となると電界依存から電圧依存に変わって来た。さらに、

Pch の NBTI (negative bias temperature instability)は、これまで閾値も高くマイナーな効果であったが、先端のデバイスでは閾値の低くなり、現在は、重要な懸念事項である。

スケーリングは、また、不良の原因となるストレスの増加を引き起こす。第1 に、電流密度が増加している。これが、配線の信頼性に影響する。第2 に、しばしば、電圧が寸法より緩くスケールダウンされる。これが、電界の増加を引き起こし、絶縁膜の信頼性に影響する。第3 に、スケーリングが消費電力の増大を引き起こし、これが、高温、大きな熱サイクル、大きな熱勾配を生む。これらが、数々の不良メカニズムに影響を与える。熱の効果は、層間膜の低誘電率化で起こる熱抵抗の減少により、さらに悪化する。

新材料と新デバイスによる革命的な変化により、さらに非常に難解な信頼性への挑戦があることになる。 認識される不良のメカニズムが変わり得る。例えば、アルミは、デポジションされた後は安定である。また、 エレクトロマイグレーションのパスは、グレインバウンダリに沿うのが支配的である。対比して、銅では電気メ ッキ後にグレインバウンダリの成長がある。これが幅広メタルを単一ビアで接続する場合に起きるストレス誘 起空孔不良の原因となる。加えて、銅においては、エレクトロマイグレーションのパスは表面が支配的であ る。これが原因で、銅のエレクトロマイグレーション、ストレス誘起空孔発生は、配線間の絶縁膜の性質に、 より敏感になる。これが原因で、アルミに比較して銅配線の信頼性は、より界面に敏感になる。

銅のエレクトロマイグレーションもまた銅配線の断面積がスケーリングと共に縮小するに従って劣化する だろう。新材料と新デバイスは、新しい不良メカニズムを生む。例えば、Low k 層間膜の劣った機械的、熱 的性質が、これまでのシリコン酸化膜の層間膜では見られなかった機械的な不良メカニズムを生む。最終 製品に取り込まれた場合、認識されていない不良メカニズムのインパクトは大きい。

これらの信頼性の挑戦は、多くの大きな技術的な変更が短い期間に導入される必要性から、さらに厳し いものになる。これら変化の相互作用も、不良モードの理解と制御の難しさを増強する。さらに、一度に多 くの重大な課題を扱うことになり、限られた信頼性を扱うリソースにとって大きな負担となる。

最重要な信頼性の課題

Table PIDS6 に、SEMATECH 信頼性委員会の一致した見解による near-term における信頼性の困難 な課題トップ 5 を示す。これは、この章の最初の PIDS の困難な挑戦の 3 項 "Timely assurance for the reliability of multiple and rapid material, process, and structural changes"を拡張している。

near-term における信頼性の第1の課題として MOS トランジスタに関する不良メカニズムが挙げられる。 最初のブレークダウン事象までの時間はスケーリングと共に減少している。この最初のブレークダウン事象 は多くの場合"ソフト"ブレークダウンである。しかし、回路によっては1つ以上のソフトブレークダウンが起こ って初めて IC の不良を引き起こす場合が有る。Negative bias temperature instability はpチャネルトランジ スタ特性の漸次的劣化である。それは、閾値電圧がスケールダウンされ、また、ゲート絶縁膜としてシリコン 酸窒化膜がシリコン酸化膜に置き換わるにつれ、その重要性を増してきた。バーンインは、それ自体が NBTI を加速する可能性が有ることから影響を受けるかもしれない。High-k は、絶縁膜不良モード(ブレー クダウン耐圧、安定性(stability))はもちろん、ホットキャリア効果や NBTI などのトランジスタの不良モードに も影響を与える。この挑戦を見通す時、数十年の研究を経ても、シリコン酸化膜の信頼性には、まだ、解決 すべき課題が残っている。ポリシリコンをメタルゲートに置き換えることも、絶縁膜の信頼性に影響を与える。 また、新たな熱的、機械的課題を誘起する。High k とメタルゲートの同時導入は、High k をポリシリコンゲ ートにまず導入する場合に比べて信頼性の設定をより難しくする。

上で述べた様に、銅配線と Low k への移行は、エレクトロマイグレーション、ストレス誘起空孔発生、弱 い機械的強度、界面密着性、Low k 絶縁膜の小さい熱伝導性、そして、Low k 膜の多孔性等の課題を誘 起する。アルミから銅への変更は、エレクトロマイグレーション(グレインバウンダリから表面拡散へ)、ストレス誘起空孔発生(薄い配線から幅広配線でのビアへ)を変えてきた。銅/Low k の信頼性は、界面の質に非常に敏感である。Low k の弱い機械的強度は、ウエハープロービング、及び、パッケージ技術にも影響を与える。Low k の低い熱伝導は、チップ上の温度を上昇させ、局所的な熱勾配を上昇させる。これらが 信頼性に影響を与える。low k 絶縁膜の多孔性はプロセスに用いる薬品や水分を捕獲したり透過したりするため、腐食やその他の不良メカニズムの誘因となる。

より性能を上げるため、さらに、より消費電力の大きい集積回路のための先進的なパッケージ技術は、 信頼性の挑戦に追加事項を加える。消費電力の向上、ピン数の増加、増加する環境規制(鉛フリーなど) は全て、パッケージの信頼性に影響する。特に、Low k 中間絶縁膜の導入により、パッケージとダイの相互 作用が増加することになる。マルチチップパッケージあるいは混成的インテグレーション(heterogeneous integration)への移行は、信頼性をより一層課題の多いものにしている。電流が増大し、ボール/バンプの 大きさが小さくなるに従い、エレクトロマイグレーションによる危険が増加ずる。

IC は、様々な異なったアプリケーションの中で使われている。信頼性が非常に困難な問題になる幾つ かのアプリケーションが存在する。第1に、IC がその使用環境により、典型的な民生用やオフィスアプリケ ーションの場合よりずっと過酷なストレスにさらされるアプリケーションがある。例えば自動車や軍事、宇宙 用途などは IC を極端な温度やショックにさらす。それに加えて、航空機や宇宙用アプリケーションではより 過酷な放射線環境下で使用することになる。第2に IC の不良が、主流をなす IC のアプリケーションに比 べて非常に重大な結果をもたらす重要なアプリケーション(例えば体内埋め込み用電子機器や安全システ ム)がある。一般に、スケールダウンされた IC は"頑強"でないため、これら特別なアプリケーションに対する 信頼性要求を満たすことがより難しくなる。

それぞれの不良メカニズムに対して寿命の分布があるという事実は、信頼性エンジニアリングの主要部 である。低不良率の要求から、故障時間分布のうちの初期側の立ち上がりに興味が持たれている。スケー リングに伴うプロセスばらつきの増大(例えば、不純物原子分布、CMP ばらつき、line-edge roughness な ど)がもたらされている。また同時に、スケーリングに伴い、致命的な不良を引き起こす欠陥のサイズも縮小 している。これらの傾向は、故障時間の分布の増大、ひいては最初の故障までの時間の減少へと形を変え るだろう。我々は信頼性エンジニアリングのツール(例えば、スクリーニング、評価、Design for Reliability な ど)において増大するバラツキを扱うことのできるソフトウエアを開発する必要がある。

ただ1つ挙げられた long-term の困難な信頼性に関する課題は、デバイス、構造、材料、アプリケーションにおける新規で混乱した変化に関する懸念である。例えば、ある時点で銅以外の配線(例えば光配線)を導入する必要が生じるであろう。その選択された銅以外の解については、有ったとしても非常にわずかの(少なくとも IC の配線としての使用を考える限りにおいては)信頼性に関する知識しか持たないことになりそうだ。モデル(寿命の統計的モデルと、寿命がどの様にストレス、寸法や材料に依存するかという物理モデルの両方)を発見し、適用する(新しい build-in された信頼性, design-in された信頼性、スクリーニングやテスト)ことに多大な努力を伴うであろう。新しい信頼性評価の仕組みを開発するためには歴史的に費やされたのより少ない時間と資金しか許されないこともまた想像に難くない。混乱した材料またはデバイスは信頼性評価の仕組みにおける混乱をもたらし、これらの仕組みを開発するには相当の人手を要するであろう。

Difficult Challenges ≥ 22 nm	Summary of Issues
Transistor Reliability	Time dependent dielectric breakdown Negative bias temperature instability Threshold voltage shifts due to traps, carrier injection, program or erase Mobility degradation due to mechanical stress relaxation or interface state density change New or changed failure mechanisms (TDDB, PBTI, NBTI< moisture absorption, etc.) resulting from high κ/metal gate
Interconnect Reliability	Copper electromigration and stress voiding in scaled interconnects (lines and vias) Electrical breakdown of interconnect dielectrics, especially low κ and ultra low κ Moisture absorption/transport due to voids in porous low κ dielectrics Cu (ionic) migration through cracked or thin barrier metals
Packaging Reliability	New failure mechanisms associated with Pb-free solders and new mold compounds Electromigration in package traces, vias, and bumps Impact of multichip modules and stacked dies on failure rate Solder ball electromigration, for example in CSP and flip chip Radioactive contaminants in packaging materials
Reliability in Extreme and/or Critical Applications	Automotive (define mission profile for HOT underhood versus passenger and substantial cycling) Military (rugged versus shock and dust, highly diverse environmental requirements) Space, i.e., radiation hard Aeronautical (singe event effects tolerant and large, fast temperature swings) Medical (corrosive, hermeticity, and safety)
Impact of Variability on Reliability	Statistic variation growing larger and defect size is comparable to feature size: Distribution of dopant atoms; subtle ultra-thin gate oxide defects; line edge roughness and other litho "fidelity" issues; surface scattering How to cope with cost-effective screens and qualifications that capture some "good" units Design for Reliability in face of large percentage process variability How to use yield to drive reliability
Difficult Challenges<22 nm	Summary of Issues
Reliability of novel devices, structures, materials and applications	ITRS proposes many new materials and structures, yet currently very little known about failure mechanisms Need to have reliability characterization in place well in advance of application to develop appropriate reliability requirements and qualification procedures Design for Reliability tools

Table PIDS6Reliability Difficult Challenges

信頼性の要求

信頼性への要求はアプリケーション依存が非常に大きい。多くの技術変更に内在する信頼性リスクがあ るといえども、現状のチップ信頼性レベル(パッケージ信頼性も含む)が、次の 15 年にわたっても維持され ることが多くの顧客にとって必要である。また、信頼性のレベルを改善したいと要求するニッチマーケットも ある。高い信頼性のレベル、厳しい環境、さらには、長い寿命を要求するアプリケーションでは、メインストリ ームのオフィス、モバイルのアプリケーションの場合より、信頼性確保がより難しくなる。 チップ信頼性レベ ルを一定に維持するのさえ、トランジスタあたりの信頼性、配線の単位長さあたりの信頼性はスケーリング に伴い、継続的に向上させる必要があることに注意が必要である。信頼性の規格を満足するのは重要な 顧客要求である。そして、信頼性の供給を満足できないことは壊滅的な問題となる。

これらの顧客要求は、製造者の要求に落とし込まれる。製造者の要求には、全ての関連する不良モードの深い物理的理解、信頼性の設計作り込み、ビルトイン信頼性、信頼性認証、そして、欠陥スクリーニングのできる強力な信頼性のエンジニアリング能力が含まれる。今日、これらの能力には、一部、重大なギャップがある。さらに、新材料と新デバイス構造の導入により、これらのギャップはさらに大きくなる。最後には、信頼性と性能のトレードオフがさらに困難になり、十分あった信頼性のマージンを無くす必要がある。

信頼性の認証は常にある程度のリスクを含む。実際は、信頼性の要求を満たしていない技術を認証してしまうリスク、もしくは、本当は要求を満たしている技術を除いてしまうリスクがある。何時であろうと、新技術について認証が試みられる。しかし、その認証に対するリスクは大きくなっている。リスクのレベルは、信頼性の物理、信頼性技術の知識ベース、さらに、能力に直に関係している。

信頼性技術要求の色分けは、新材料と新デバイスに対する不完全な知識とツールに起因する信頼性 のリスクの表現を意味する。白から黄色、ストライプと進むに従い、信頼性のリスクが高まることを示す。2008 年に始めて黄色(製造の解が知られている)になる。これは、スケーリング、増化する消費電力、そして歪シ リコン基板の製造への導入に起因する比較的小さいリスクを示す。2008年のワイルドカードは、少なからぬ 信頼性のリスクをもたらす high k/metal ゲートをメーカーが導入するかどうかということだろう。

要求は、2013年にストライプ(仮の解が知られている)に変わる。これは、大体の時期であり、新規デバイスや材料(例えば光配線または non-CMOSトランジスタまたはメモリー)が導入される時期を代表する時点を意味している。上述のように、これらの変化は少なからぬ信頼性のリスクをもたらし、必用とされる信頼性物理や信頼性技術を開発するには相当の準備期間を要する。我々はこの混乱した技術が何であるかということを正確に知らないのだから、信頼性リスクを前もって知ることは決してできない。提案された正確な技術を知って初めて信頼性リスクに関してもっと良いアセスメントを提供することが出来る。我々は 信頼性の認定が常に試みられているということを反映して、赤い塗りつぶしを使うことに反対してストライプの色分けを選択した。しかし、我々の信頼性に関する知識が貧困であれば、信頼性のリスクは増大する。

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ¹ / ₂ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	22	20	18	16	14	13	11	10
Early failures (ppm) (First 4000 operating hours) [1]	50- 2000	50- 2000	50- 2000	50- 2000	50– 2000	50– 2000	50- 2000	50- 2000	50- 2000
Long term reliability (FITS = failures in 1E9 hours) [2]	50- 2000								
SRAM Soft error rate (FITs/MBit)	1000- 2000								
Relative failure rate per transistor (normalized to 2007 value) [3]	1.00	0.83	0.71	0.66	0.57	0.51	0.46	0.40	0.37

Table PIDS7a Reliability Technology Requirements—Near-term Years

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Table PIDS7b

Reliability Technology Requirements—Long-term Years

		-			-		
Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ¹ / ₂ Pitch (nm) (contacted)	22	20	18	16	14	13	11
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
Early failures (ppm) (First 4000 operating hours) [1]	50–2000	50–2000	50–2000	50–2000	50–2000	50–2000	50–2000
Long term reliability (FITS = failures in 1E9 hours) [2]	50–2000	50–2000	50–2000	50–2000	50–2000	50–2000	50–2000
SRAM Soft error rate (FITs/MBit)	1000-2000	1000-2000	1000-2000	1000-2000	1000-2000	1000-2000	1000-2000
Relative failure rate per transistor (normalized to 2007 value) [3]	0.31	0.29	0.26	0.23	0.20	0.18	0.16
Relative failure rate per m of interconnect (normalized to 2007 value) [4]	0.12	0.06	0.06	0.06	0.03	0.03	0.03

Table PIDS7aとbへの注

信頼性の要求は、アプリケーションにより変化する。多くのメインストリームの顧客にとっては、急激な技術変更がある この期間においても、現在の信頼性のレベルを維持することが十分条件である。現在の信頼性のレベルを落とすこと は受け入れらない。信頼性の要求はパッケージされたデバイスに対してであり、チップとパッケージに関連する不良 モードを含む。

信頼性の認証は、常に、既に分かっている知識によって実施される。知識レベルが上がると、その分、リスクも減るし、 その逆も成り立つ。黄色は、ある程度のリスクがあることを示す。ストライプは、より大きいリスク(変化した不良モード、 あるいは、新しい不良モードの出現の可能性による)を示す。最後に、赤は、解決策が出ていなく信頼性のリスクが判 断できていないものに対して、解決策が確定していないことを示す(ポスト銅配線にどの技術が使われるか解らない 様に)。 [1]最初の4000時間動作(50%のデューティサイクルで1年間の使用)の間の不良。欠陥による初期不良にあたる。 [2]長期信頼性レートは、ICの特定の寿命に適用される。

[3]IC の不良率が時を経ても変わらない場合、[ORTC から]チップあたりのトランジスタ数は増加するため、トランジス タあたりの相対的不良率は減少させなければいけない。

[4]チップあたりの配線長が増化する[配線の技術要求テーブルから]ので、配線の単位メータあたりの不良率は減少させなければいけない。信頼性でさらに重要なのはビアの数が増大することである。

信頼性の解決策候補

信頼性の要求に答える最も効果的な方法は、それぞれの技術世代の開発初期に完全なビルトイン信 頼性と信頼性設計の作り込み(Design-for-reliability)を得られる様にすることである。これは、信頼性と性 能とパワーの最適な選択を可能にするであろうし、高い信頼性歩留を持つ製造プロセスの設計を可能に するであろう。残念ながら、今日、これらの能力には大きなギャップがある。将来、これらのギャップはさらに 大きくなる。そのペナルティーは、信頼性問題のリスク増大と性能、コスト、タイム・ツー・マーケットの向上の 減速である。

信頼性の要求に答えるには、おのおのの不良モードに対する深い物理的な理解と強力で実用的な信 頼性解析ツールが必要である。歴史を振り返れば、これらの能力(研究開発により、不良モードを解析し、 正しくて予測可能なモデルを導き、信頼性の作り込み設計法、信頼性 TCAD ツールの開発を行う)を開発 するには、新規技術世代の製造開始の前に多くの年月(通常、十年)が必要である。技術の評価能力は向 上してきた。しかし、まだ、大きなギャップがある。さらに、特に、代替となるゲート絶縁膜やこれまで使って いないデバイスなど主要な技術の不連続点では、信頼性の能力を如何に早く向上させるかについても限 界がある。主要な技術シフトを評価する"短距離競争"は、正しい信頼性の知識ベースが無くては非常に問 題が多い。

Figure PIDS10 に示される信頼性の解決策候補は、ロードマップの全工程における主要な技術変更を 含む(図には挙げていないが信頼性に影響する変更が他にも多くある)。これら信頼性上の重大な技術不 連続点があるので、研究開発により、不良モードを特定しモデル化し(黒 表示)、それらを実用的な信頼 性工学のレベルにし(青 表示)、最後には、新規技術ノードの信頼性手法を確立する(白 表示)には 5 -6 年が必要である。さらには、新規材料やデバイスが製造に入る時まで、信頼性モデルと信頼性の工学 的手法の継続的な改良が必要である。もちろん、深刻でない変更はより短い時間で解析されるだろう。現 状において、Figure PIDS10 に示される必要なマイルストーンの時期に対して、これらの解決策候補が実 際に開発されるまでには時間的な遅れが存在する。

信頼性の能力をキャッチアップさせるには、信頼性の研究開発の増強と歴史的なタイムスケールより圧 倒的に短く必要な能力を得る工夫を根本的に強化させる必要がある。短時間で結果が出る解析技術、お のおのの不良メカニズムの正確なモデルと設計ツールの開発を目指した研究が必要である。銅 low-k, 代 替のゲート絶縁膜の様な新規材料については、特別な注意が必要である。大規模な IC での忠実性の良 いシミュレーションを妥当な時間でこなす信頼性の設計作り込みツールの開発などのブレークスルーが必 要かもしれない。上で述べたように、短い期間に多くの重大な技術変更の導入を扱うには、より多くの信頼 性に取り組むリソースもまた必要になろう。



Figure PIDS10 Reliability Potential Solutions

Figure PIDS10 への注

[1] 歪シリコンが生産に入っている。将来の技術では、よりアグレッシブな歪シリコンが使用されると予測される。トランジスタ不良メカニズム(ホットキャリアや NBTI など)への影響に対する継続的な対応が必要である

[2] Low-k 層間絶縁膜が生産に入っている。引く続く世代では、存在する不良メカニズムを修正しうる、そして、新しい 不良メカニズムが導入されうる、さらに低い Low K 材料が導入される。

[3] 2008年に High-k ゲート絶縁膜を導入するという PIDS のロジック要求による。

[4] 2008 年にメタルゲートを導入するという PIDS のロジック要求による。

[5] 2008年に完全空亡型 SOIを導入するという PIDS のロジック要求による。

[6] 2011 年にダブル(もしくは、トリプル)ゲートトランジスタを導入するという PIDS のロジック要求による。

[7] ポスト銅配線の必要な時期は明確でない。この表では、2013 年に導入されると仮定した。その時期が前後すると、 ボックスも合わせてシフトする必要がある。キーメッセージは、信頼性について、約6年のリードタイムが必要であること である。

[8] 新規の non-CMOS デバイスが必要となる時期は明確でない。この表では、2016 年に導入されると仮定している。 その時期が前後するとボックスも合わせてシフトする必要がある。キーメッセージは、信頼性について、約 6 年のリー ドタイムが必要であることである。

横断的な TWG の課題

モデリングとシュミュレーション

モデリングとシュミュレーションは、PIDS の章で要求されるキーの革新技術を扱うことを加速する必要が ある。これらは、エンハンスド・モビリティ、High-k ゲート絶縁膜、メタルゲート電極、ノンクラシカル CMOS(極薄ボディの完全空亡型 SOI とマルチゲート MOSFETs)、そして、飽和電流を増加することになる 準弾道・トランスポートを含む。これらの技術革新は、プロセス、材料、物理、設計等の領域で、合同の大き な変更をもたらします。他の長期課題として、原子レベルのばらつき、統計的プロセスばらつき、新しい配 線スキーム、そして、ミックスドシグナルデバイス技術を扱うモデリングとシュミュレーションの強化が必要で す。加工寸法の微細化に伴い、デバイス、配線、回路レベルでの新しいプロセス工程、アーキテクチャ、材 料信頼性問題がより重要になり、要求されるスピードでの開発を実施するためにモデリングとシュミュレーシ ョンの支援が必要となります。特に、SOI を使うデバイスに対しては、ドーパントの拡散、活性化、キャリアの 伝導、ストレス等の既存モデルを、界面効果をカバーする様に拡張しなければならない。SOIではバルク に比べ、この効果が益々重要になるためである。これらの課題は、この ITRS のモデリングとシュミュレーシ ョンの章にあり、特に、"フロントエンドプロセスモデリング"、"デバイスモデリング"、"インターコネクトと集積 受動素子モデリング"のサブチャプターに記述されている。最後に、ノンクラシカルな CMOS デバイスは、 その導入のためには妥当なコンパクトモデルの開発が必要である。

内部での重要な ITWG の議論

新規探求デバイス

新規探求デバイス(ERD)の章は、今のスタンダードなシリコン CMOS 技術を超えるデバイス、アーキテ クチャー、材料の潜在的な技術候補を記述し、評価しています。従って、ERD で記述されるデバイスは PIDS で記述される CMOS デバイスの後継候補に関するものになります。CMOS スケーリングが効果的で 無くなるか製造コストが非常に高くなってきた時、既存技術のロードマップを終焉させるかそれを超え、業 界が機能当りの性能、低消費電力、コストの急激な改善と、高密度を享受し続けるには、おそらく幾つかの ERD 技術が必要とされます。従って、PIDS の解決策候補の表では、ERD の解決策をロードマップの記述 年代の終盤に含めており、その詳細は ERD の章で言及します。

フロントエンドプロセス

フロントエンドプロセス(FEP)と PIDS の章には強い繋がりがある。プレーナバルク MOSFETs に関わる 共通の課題のキーエリアとして、シリコン酸窒化ゲート絶縁膜とポリシリコンゲート電極から High-k 絶縁膜と メタルゲート電極への置き換えがある。また、スケーリングを進めつつソースドレインの寄生抵抗を許容範 囲内に収める挑戦や、2008 年以降スケーリングが進んで閾値電圧制御と短チャネル効果抑制に必要なチ ャネル濃度が非常に高くなる事を含む難しいトレードオフがある。2008 年から導入が始まると想定される超 薄膜完全空亡型 SOI とマルチゲート MOSFETS についても、幾つかの重要な課題は、プレーナバルクと 同じである。即ち、High-k ゲート絶縁膜、メタルゲート電極、寄生抵抗を許容範囲に維持することなどであ る。ただ、チャネルの濃度については、これらのデバイスは本質的にノンドープであり課題ではない。しかし、 新しい課題もある。これらのデバイスで求められる非常に薄いシリコン・ボディーの膜厚制御や、これらのデ バイスの最適動作をさせる設計と製造技術などである。DRAM における共通課題のキーエリアは、DRAM のスケーリングによってもアクセス・トランジタのリークを超低リークに保つことと、酸化膜換算膜厚をアグレッ シブにスケールするための High-k 絶縁膜を用いた MIM(Metal Insulator Metal)ストレージキャパシタであ る。不揮発性メモリについては、共通の課題のキーエリアとして、フラッシュメモリーのポリ電極間とトンネル 絶縁膜のスケーリングにおける難しいトレードオフが含まれる。

参考文献

¹ T.Skotnicki, et al., "A new punchthrough current model based on the voltage-doping transformation," IEEE Transactions on Electron Devices, vol. 35, no. 7, pp. 1076–1086, June 1988.

² T. Skotnicki et al., "A new analog/digital CAD model for sub-half micron MOSFETs," Technical Digest of IEEE International Electron Devices Meeting, pp. 165–168, December 1994.

³ T. Skotnicki and F. Boeuf, "CMOS Technology Roadmap – Approaching Up-hill Specials," in Proceedings of the 9th Intl. Symp. On Silicon Materials Science and Technology, Editors H.R. Huff, L. Fabry, S. Kishino, pp. 720–734, ECS Volume 2002-2.

⁴ M. H. Nia et al., IEDM Technical Digest, p. 121, Dec. 2006.

⁵ S. Takagi et al., "Channel Structure Design, Fabrication and Carrier Transport Properties of Strained-Si/SiGe-On-Insulator (Strained-SOI) MOSFETs," Technical Digest of IEEE International Electron Devices Meeting, pp. 57–60, December 2003.

⁶ T. Ghani et al., "A 90 nm High Volume Manufacturing Logic Technology Featuring Novel 45nm Gate length Strained Silicon CMOS transistors," Technical Digest of IEEE International Electron Devices Meeting, pp. 978–980, December 2003.

⁷ K. Rim et al., "Characteristics and Device Design of Sub-100 nm Strained Si N- and PMOSFETs," Symposium on VLSI Technology, pp. 98–99, June 2002.

⁸ C. D. Sheraw et al., "Dual Stress Liner Enhancement in Hybrid Orientation Technology," Symposium on VLSI Technology, pp. 12–13, June 2005.

⁹ B. Doris et al., "A Simplified Hybrid Orientation Technology (SHOT) for High Performance CMOS," Symposium on VLSI Technology, pp. 86–87, June 2004.

¹⁰ S. Takagi et al., "Channel Structure Design, Fabrication and Carrier Transport Properties of Strained-Si/SiGe-On-Insulator (Strained-SOI) MOSFETs," Technical Digest of IEEE International Electron Devices Meeting, pp. 57–60, December 2003.

¹¹ T. Ghani et al., "A 90 nm High Volume Manufacturing Logic Technology Featuring Novel 45nm Gate length Strained Silicon CMOS transistors," Technical Digest of IEEE International Electron Devices Meeting, pp. 978–980, December 2003.

¹² K. Rim et al., "Characteristics and Device Design of Sub-100 nm Strained Si N- and PMOSFETs," Symposium on VLSI Technology, pp. 98–99, June 2002.

¹³ C. D. Sheraw et al., "Dual Stress Liner Enhancement in Hybrid Orientation Technology," Symposium on VLSI Technology, pp. 12–13, June 2005.

¹⁴ B. Doris et al., "A Simplified Hybrid Orientation Technology (SHOT) for High Performance CMOS," Symposium on VLSI Technology, pp. 86–87, June 2004.

¹⁵ B. Eitan, P. Pavan, I. Bloom, E. Aloni, A. Frommer, and D. Finzi, "NROM: A Novel Localized Trapping, 2 bit Nonvolatile Memory Cell," IEEE Electron Device Lett., 21, pp. 543–545, Nov. (2000).

¹⁶ H. T. Lue, S. Y. Wang, E. K. Lai, Y. H. Shih, S. C. Lai, L. W. Yang, K. C. Chen, J. Ku, K. Y. Hsieh, R. Liu, and C. Y. Lu, "BE-SONOS: A Bandgap Engineered SONOS with Excellent Performance and Reliability," in Tech. Digest 2005 International Electron Devices Meeting, pp. 547-550, 2005.

¹⁷ Y. Shin, J. Choi, C. Kang, C. Lee, K.T. Park, J.S. Lee, J. Sel, V. Kim, B. Choi, J. Sim, D. Kim, H.J. Cho and K. Kim, "A Novel NAND-type MONOS Memory using 63nm Process Technology for Multi-Gigabit Flash EEPROMs," Tech. Digest 2005 International Electron Devices Meeting, pp. 337-340, 2005.

¹⁸ S-M. Jung, J. Jang, W. Cho, H. Cho, J. Jeong, Y. Chang, J. Kim, Y. Rah, Y. Son, J. Park, M-S. Song, K-H. Kim, J-S. Lim and K. Kim, "Three Dimensionally Stacked NAND Flash Memory Technology Using Stacking Single Crystal Si Layers on ILD and TANOS Structure for Beyond 30nm Node," Tech. Digest 2006 International Electron Devices Meeting, pp. 37-40, 2006.

¹⁹ E. K. Lai, H. T. Lue, Y. H. Hsiao, J. Y. Hsieh, C. P. Lu, S. Y. Wang, L. W. Yang, T. H. Yang, K. C. Chen, J. Gong, K. Y. Hsieh, R. Liu and C. Y. Lu, "A Multi-Layer Stackable Thin-Film Transistor (TFT) NAND-Type Flash Memory," Tech. Digest 2006 International Electron Devices Meeting, pp. 41-44, 2006.

²⁰ H. Tanaka, M. Kido, K. Yahashi, M. Oomura, R. Katsumata, M. Kito, Y. Fukuzumi, M. Sato, Y. Nagata, Y. Matsuoka, Y. Iwata, H. Aochi and A. Nitayama, "Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory," Digest of Technical Papers, 2007 Symposium on VLSI Technology, pp. 14-15, 2007.

²¹ Y. K. Hong, D. J. Jung, S. K. Kang, H. S. Kim, J. Y. Jung, H. K. Koh, J. H. Park, D. Y. Choi, S. E. Kim, W. S. Ann, Y. M. Kang, H. H. Kim, J.-H. Kim, W. U. Jung, E. S. Lee, S. Y. Lee, H. S. Jeong and K. Kim, "130 nm-technology, 0.25 μm2, 1T1C FRAM Cell for SoC (System-on-a-Chip)-friendly Applications," Digest of Technical Papers, 2007 Symposium on VLSI Technology, pp. 230-231, 2007.

²² K. Miura, T. Kawahara, R. Takemura, J. Hayakawa, S. Ikeda, H. Takahashi, H. Matsuoka and H. Ohno, "A novel SPRAM (SPin-transfer torque RAM) with a synthetic ferromagnetic free layer for higher immunity to read disturbance and reducing write-current dispersion," Digest of Technical Papers, 2007 Symposium on VLSI Technology, pp. 234-235, 2007.